

VŠB – Technická univerzita Ostrava
Fakulta elektrotechniky
a informatiky
Katedra elektroniky

Rychlá elektronická zátěž pro měření transientní odezvy zdrojů
Fast Electronic Load for Measuring Transient Response of Resources

VŠB - Technická univerzita Ostrava
Fakulta elektrotechniky a informatiky
Katedra elektroniky

Zadání diplomové práce

Student: **Bc. Radek Majer**
Studijní program: N2649 Elektrotechnika
Studijní obor: 2612T015 Elektronika
Téma: **Rychlá elektronická zátěž pro měření transientní odezvy zdrojů**
Fast Electronic Load for Measuring Transient Response of Resources

Zásady pro vypracování:

1. Proveďte rozbor obvodového řešení rychlé elektronické zátěže s těmito parametry: maximální napětí 30 V, proud 10 A, výkon 30 W, rychlost 5 A/us.
2. Navrhněte obvodové zapojení zátěže a desku s plošnými spoji pro praktickou realizaci.
3. Realizujte elektronickou zátěž jako funkční celek s ovládacími prvky a zobrazovací jednotkou.
4. Experimentálně ověřte správnou funkci realizovaného vzorku. Změřte statické a dynamické parametry a porovnejte se zadáním.
5. Sestavte návod na obsluhu zátěže. Uveďte dosažené parametry formou katalogového listu.

Seznam doporučené odborné literatury:

1. Horowitz, P., Hill, W.: The Art of Electronics. Cambridge University Press, 1989, ISBN 0-521-37095-7.
2. Huijsing, J. H.: Operational Amplifiers – Theory and Design. Kluwer Academic Publishers, Boston, 2001.
3. Punčochář, J.: Operační zesilovače v elektronice. BEN Praha, 2002.
4. Brandštetter, P.: Elektronika. Učební texty pro kombinované a distanční studium. VŠB-TU Ostrava, 2010.

Formální náležitosti a rozsah diplomové práce stanoví pokyny pro vypracování zveřejněné na webových stránkách fakulty.

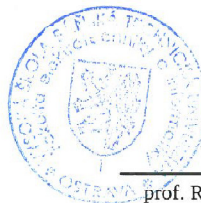
Vedoucí diplomové práce: **prof. Ing. Pavel Brandštetter, CSc.**

Datum zadání: 16.11.2012

Datum odevzdání: 07.05.2013



doc. Ing. Petr Palacký, Ph.D.
vedoucí katedry

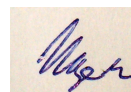


prof. RNDr. Václav Snášel, CSc.
děkan fakulty

Prohlášení:

„Prohlašuji, že jsem tuto diplomovou práci vypracoval samostatně. Uvedl jsem všechny literární prameny a publikace, ze kterých jsem čerpal.“

V Rožnově pod Radhoštěm dne 6.5.2013



.....
Radek Majer

Poděkování:

Tímto bych chtěl poděkovat vedoucímu bakalářské práce Prof. Pavlu Brandštetterovi za cenné rady a dohled nad diplomovou prací. Taktéž chci poděkovat konzultantovi Ing. Tomáši Tichému za odborné rady, připomínky a pomoc při zpracování a realizaci mé diplomové práce. Děkuji firmě ON Semiconductor za poskytnutí neomezeného přístupu k měřicím přístrojům, konstrukčnímu materiálu a „know – how“ jejích zaměstnanců, bez kterých by tato práce nemohla vzniknout.

Abstrakt

Tato práce se zabývá návrhem a realizací rychlé elektronické zátěže, která dokáže vytvářet proudové skoky s definovanou výchozí a horní úrovní proudu, délkou nástupné a sestupné hrany, frekvencí i šířkou pulzu tohoto lichoběžníkového průběhu proudu. Zátěž bude sloužit k měření transientní odezvy elektrických zdrojů napětí, především lineárních stabilizátorů. Zátěž má maximální vstupní proud 10 A, napětí 30 V a střední výkon 30 W. Konstrukce je optimalizována pro rychlost přeběhu proudu, která je zadána alespoň 5 A / μ s.

Klíčová slova

Dynamická elektronická zátěž, hradlové pole XC95144, mikrokontroler STM32F372, proudový konvektor OPA861, aktivní zátěž řízená proudovým konvejorem, testování „load transients“ elektrických zdrojů.

Abstract

This thesis describes design and realization of fast electronic load, that sinks current steps with defined initial and top current value, duration of raising and falling edge, frequency and pulse width of this trapezoid shape current. Load will serve for measuring transient response of electronic supplies, especially linear regulators. Load has maximum value of input current 10 A, voltage 30 V and average power of 30 W. Construction is optimized for high speed current transition, which is assigned minimal 5 A / μ s.

Keywords

Dynamic electronic load, gate array XC95144, microcontroller STM32F372, current conveyor OPA861, active load driven with current conveyor, measuring „load transients“ of electronic supplies.

Seznam použitých zkratk a symbolů

A0	Stejnoseměrné zesílení diferenčního napětí
OZ	Operační zesilovač
ESR	Ekvivalentní sériový odpor (parametr kondenzátoru)
↑	Nástupná hrana signálu
X	Nedefinovaný stav
CCII	„Current Conveyor II“ – proudový konvektor druhé generace
MCU	„Microcontroller Unit“ – mikrokontrolér
CPLD	„Complex Programmable Logic Device“ – Komplexní programovatelné logické pole
A += B	Inkrementování čísla A o číslo B
SOA	„Safe Operation Area“ – bezpečná pracovní oblast
I _{IN}	Vstupní proud zátěže

OBSAH

1. ÚVOD	8
2. PŘEDPOKLÁDANÉ VYUŽITÍ A POŽADAVKY NA ZÁTĚŽ	9
3. HLEDÁNÍ VHODNÉHO PRINCIPIELNÍHO ŘEŠENÍ	12
3.1. AKTIVNÍ ZÁTĚŽ S VÝKONOVÝM TRANZISTOREM	12
3.2. GENERÁTOR PRŮBĚHU ŘÍDICÍHO NAPĚTÍ	13
3.2.1. Analogová metoda - nabíjení kondenzátoru konstantním proudem	14
3.2.2. Číslíkové metody	15
3.2.2.1. Metoda přenosu dat mezi MCU a DA převodníkem	16
3.2.2.2. Realizace pomocí diskretních logických obvodů a DA převodníku	17
3.2.2.3. Realizace hradlovým polem a paralelním DA převodníkem	17
3.2.3. Blok zpracování zadáných parametrů a jejich zobrazení	19
3.2.4. Ovládací prvky	20
3.2.5. Zobrazovací zařízení	20
4. POPIS REALIZOVANÉ ELEKTRONICKÉ ZÁTĚŽE	21
4.1. BLOKOVÉ SCHÉMA REALIZOVANÉ ELEKTRONICKÉ ZÁTĚŽE	21
4.2. AKTIVNÍ ZÁTĚŽ S VÝKONOVÝM TRANZISTOREM	22
4.2.1. Zjednodušené schéma	22
4.2.2. Celkové schéma bloku aktivní zátěže s výkonovým tranzistorem	24
4.2.2.1. Vstupní a řídicí část	25
4.2.2.2. Snímací odpory	26
4.2.2.3. Teplotní závislost snímacích odporů	27
4.2.2.4. Ochranné prvky	28
4.2.2.5. Dynamické vylepšení	29
4.2.2.6. Snímání vstupního napětí	29
4.2.2.7. Snímání vstupního proudu	30
4.3. DA PŘEVODNÍK	31
4.4. HRADLOVÉ POLE	33
4.4.1. Logický obvod pro generování lichoběžníkového průběhu	34
4.4.1.1. Blokové schéma	34
4.4.1.1. Celkové schéma logického obvodu	36
4.4.1.2. Simulace navržené logiky v prostředí ISim	44
4.4.2. Vnější schéma zapojení hradlového pole	46
4.5. OVLÁDACÍ PRVKY	46
4.5.1. Tlačítka	46
4.5.2. Otočný enkodér	47
4.6. MIKROKONTROLÉR	47
4.6.1. Hardwarové vybavení	47
4.6.2. Programové vybavení	49
4.7. ZOBRAZOVACÍ ZAŘÍZENÍ	52
4.8. NAPÁJECÍ ČÁST	52
5. MĚŘENÍ PARAMETRŮ ZÁTĚŽE	55
5.1. STATICKÉ PARAMETRY	55
5.1.1. Tolerance nastaveného vstupního proudu	55
5.1.2. Minimální vstupní napětí v závislosti na požadovaném proudu	56
5.2. DYNAMICKÉ PARAMETRY	57
5.2.1. Zatěžování stolního zdroje napětí pulzním proudem	57
5.2.1. Měření „load transient“ kladného stabilizátoru MC7812	60
5.2.2. Měření „load transient“ záporného stabilizátoru MC7912	61
6. NÁVOD NA OBSLUHU ZÁTĚŽE A DOSAŽENÉ PARAMETRY	62
7. ZÁVĚR	65
8. POUŽITÁ LITERATURA	66
9. PŘÍLOHA	68

1.Úvod

Definované zatěžování elektronických zdrojů je důležité především při posuzování jejich kvality. V dnešní době se k tomuto účelu již nepoužívají výkonové odpory, ale řízené polovodičové prvky. Nejčastěji to jsou výkonové MOSFET tranzistory řízené operačním zesilovačem.

Tato práce se zabývá návrhem rychlé elektronické zátěže, která je určená pro dynamické zatěžování elektrických zdrojů, především lineárních stabilizátorů napětí. Zátěž je optimalizována především pro vysokou rychlost změny vstupního proudu. Tato změna je navíc řízená a definovatelná. Ostatní parametry, jako je maximální napětí, proud a ztrátový výkon, jsou pak podřízeny výše zmíněnému požadavku, zároveň však vyhovují zadání práce.

Budou zvoleny a odůvodněny vhodné způsoby realizace jednotlivých bloků a ty budou detailně popsány. Celkové chování zátěže a její parametry budou uvedeny formou katalogového listu a nebude chybět ani stručný návod na použití.

2. Předpokládané využití a požadavky na zátěž

Zátěž má sloužit k měření transientní odezvy stabilizátorů. Toto měření je součástí téměř každého katalogového listu stabilizátoru a určuje jeho kvalitu z hlediska přechodných změn (překmitu nebo poklesu) výstupního napětí při skokové změně výstupního proudu stabilizátoru.

Jedná se především o lineární stabilizátory od těch nejminiaturnějších v pouzdře DFN 0,8 x 0,8 mm až po výkonové stabilizátory v pouzdře TO220, jako je například známý obvod 7805. Vždy se však jedná o stabilizátory, které mají výstupní proud menší než 10 A a výstupní napětí obvykle nepřekračuje 30 V. Výkon dodávaný těmito stabilizátory se pohybuje v řádu jednotek až desítek wattů. To je dáno jednak omezenými chladicími možnostmi použitých pouzder, ale především se v dnešní době klade velký důraz na účinnost elektronických zařízení, takže tam, kde by měl lineární stabilizátor velkou výkonovou ztrátu, je nahrazen spínaným měničem.

Z předpokládaného využití tedy plynou požadavky na maximální parametry zátěže:

- proud 10 A
- napětí 30 V
- ztrátový výkon přibližně 30 W

Důležité jsou také možnosti nastavení zátěže. V katalogovém listu stabilizátorů lze obvykle nalézt průběh z osciloskopu nazvaný „load transient“, ten zobrazuje reakci výstupního napětí stabilizátoru na skok výstupního proudu. V grafu je tedy uveden průběh výstupního napětí a proudu stabilizátoru. Na **Obr. 1** je průběh „load transient“ stabilizátoru velmi malého výkonu v pouzdru DFN 0,8 x 0,8 mm. Na **Obr. 2** je pak průběh výkonového stabilizátoru v pouzdru D2PAK, což je obdoba TO220, avšak s pěti vývody a je určeno pro SMT montáž na desku plošných spojů, která pak slouží i jako chladič.

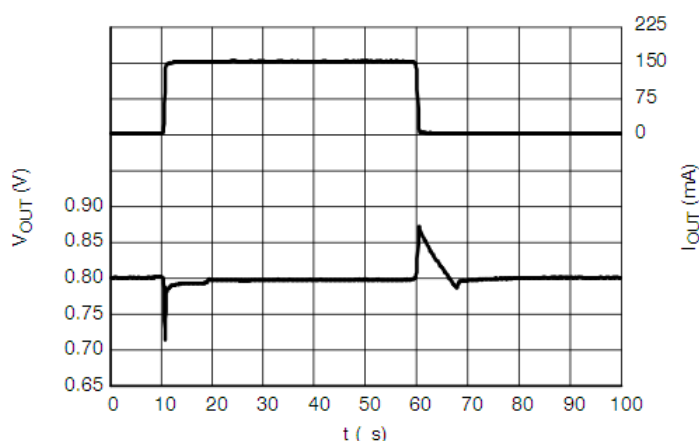
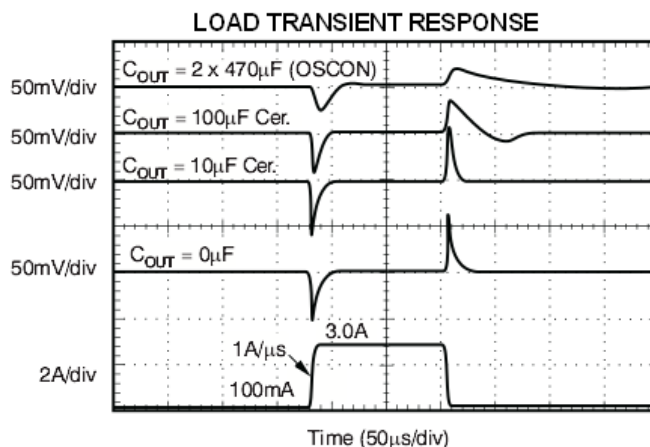


Figure 43. Load Transients, 0.8 V Version,
 $I_{OUT} = 1 - 150 \text{ mA}$, $t_R = t_F = 0.5 \mu\text{s}$, $V_{IN} = 1.8 \text{ V}$

Obr. 1 „Load transient“ stabilizátoru NCP4680
 (skok výstupního proudu z 1 mA na 150 mA za 0,5 μs) [4]



Obr. 2 „Load transient“ stabilizátoru TPS74401
(skok výstupního proudu ze 100 mA na 3 A rychlostí 1 A / μ s) [5]

Z průběhů výstupních proudů je zřejmé, že zátěž musí odebírat pulzní proud. Je potřeba nastavovat výchozí i horní úroveň proudu a navíc i dobu nástupné a sestupné hrany. Výsledný průběh proudu je tedy lichoběžníkový. Taktéž je potřeba nastavovat frekvenci a šířku pulzu.

Z uvedených obrázků plyne, že nejnižší hodnota výchozí úroveň je 1 mA. Tuto hodnotu je nutné udržet s přesností alespoň $\pm 0,1$ mA.

Maximální hodnota horní úrovně je v jednotkách ampér a měla by být regulována s přesností alespoň ± 5 %.

Co tuto zátěž činí specifickou, je její rychlost. Na **Obr. 2** je rychlost změny proudu 1 A / μ s. Doba hrany je tedy přibližně 3 μ s.

$$t_r = \frac{I_{MAX} - I_{MIN}}{\frac{dI}{dt}} = \frac{3 - 0,1}{1} = 2,9 \approx \underline{\underline{3 \mu s}} \quad (2.1)$$

Na **Obr. 1** je nástupná (i sestupná) hrana 0,5 μ s. Rychlost změny proudu zde vychází přibližně 0,3 A / μ s.

$$\frac{dI}{dt} = \frac{I_{MAX} - I_{MIN}}{t_r} = \frac{0,15 - 0,001}{0,5} = 0,298 \approx \underline{\underline{0,3 \text{ A} / \mu s}} \quad (2.2)$$

Pro ty nejrychlejší regulátory může požadavek na rychlost změny zatěžovacího proudu dosahovat hodnoty až 5 A / μ s.

Je otázka, jestli je lepší pro charakterizování rychlosti zátěže použít údaj o rychlosti změny proudu v A / μ s nebo údaj minimální doby pro změnu proudu bez ohledu na jeho úroveň (a velikost změny). Pro danou aplikaci je typické, že proudové skoky jsou prováděny s délkou nástupné (i sestupné) hrany minimálně 0,5 μ s. Velikost změny proudu pak bude dána především typem stabilizátoru – výkonové budou mít až jednotky ampér, miniaturní naopak stovky miliampér. Maximální rychlost změny proudu pak postačí 5 A / μ s.

Frekvence výstupního proudu se obvykle používá jednotky až stovky hertz. To je dáno tím, že průběhy se zobrazují na osciloskopu a je vhodné, aby byly dost často obměňovány. Zároveň však musí být ponechán dostatečný čas pro odezvu výstupního napětí stabilizátoru, proto frekvence průběhu nesmí být příliš vysoká.

Šířka pulzu musí být nastavitelná alespoň od desetiny procenta periody. To je důležité proto, aby byly na výsledném průběhu zřetelné přechodové děje výstupního napětí, ale také proto, aby se snížilo tepelné namáhání stabilizátoru. Často totiž probíhá měření za dané teploty, a pokud je na čipu výrazná výkonová ztráta, nelze na něm udržet konstantní teplotu ani za pomoci vnějšího zařízení regulujícího teplotu.

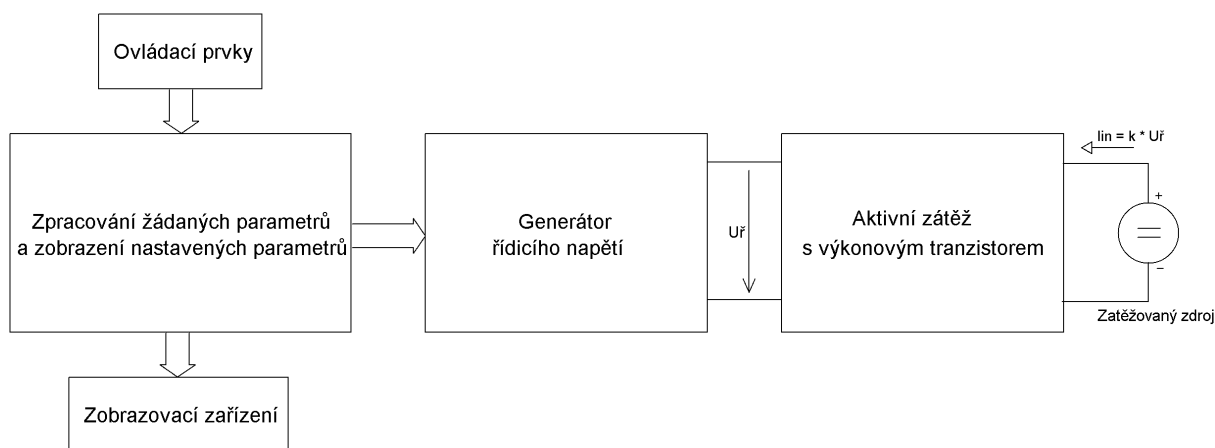
3. Hledání vhodného principiálního řešení

Principiální blokové schéma zátěže je na **Obr. 3**. Moderně řešené zátěže již nepoužívají k zatěžování elektrických zdrojů výkonový odpor, ale k účelu maření elektrické energie využívají řízený výkonový tranzistor. Ten může být řízen různými způsoby – na konstantní proud, napětí nebo odpor. Ze zadání vyplývá, že zde bude použito řízení pro režim konstantního proudu. To je také nejčastější případ. Vstupní proud na svorkách zátěže je pak řízen napětím U_R .

Je tedy nezbytné zkonstruovat generátor průběhu, který splňuje požadavky zadání – musí poskytovat lichoběžníkový průběh s nastavitelnou frekvencí, šířkou periody, výchozí úrovní, horní úrovní a dobu nástupné a sestupné hrany.

Tyto parametry musí být možné snadno uživatelsky definovat a měnit. V úvahu připadají zadávací prvky ve formě tlačítek, klávesnice, případně otočného enkodéru.

Aby byl rychle a snadno dostupný přehled o nastavených parametrech, bude nutné i zobrazovací zařízení.

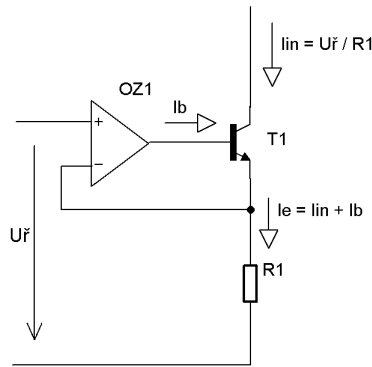


Obr. 3 Principiální blokové schéma

Nyní je nutné zvolit vhodné řešení jednotlivých bloků s ohledem na požadované parametry.

3.1. Aktivní zátěž s výkonovým tranzistorem

Nejpoužívanější princip zapojení aktivní zátěže s výkonovým tranzistorem je zřejmý z **Obr. 4**. Operační zesilovač OZ1 zde řídí bázovým proudem bipolární tranzistor T1 tak, aby na invertujícím vstupu bylo stejné napětí jako na neinvertujícím vstupu – tedy řídicí napětí U_R . Na odporu R1 je tedy úbytek napětí ideálně rovný řídicímu napětí. Poměr $U_R / R1$ pak ideálně udává velikost proudu odebíraného ze zatěžovaného zdroje. Je zde však chyba způsobená proudem I_B do báze tranzistoru. Tento proud není u bipolárních tranzistorů zanedbatelný. Regulovaný úbytek napětí na odporu R1 je způsoben proudem I_E , který se skládá z proudu I_B a žádaného I_{IN} . Výsledný proud I_{IN} je tedy o I_B menší. Jelikož je proud I_B proměnný, nelze jej nijak jednoduše kompenzovat.



Obr. 4 Klasické zapojení aktivní zátěže s výkonovým tranzistorem

Tento problém řeší použití tranzistoru MOSFET. Jeho vstupní elektroda se chová jako kondenzátor, takže jí neprotéká prakticky žádný stálý proud. Nevýhodou je však zmíněná kapacita C_{GS} . Ta při požadavku na vysokou rychlost modulace vstupního proudu zátěže klade požadavek na velký proudový impuls pro nabití nebo vybití vstupní kapacity. Musí tedy být zvolen MOSFET především s malou vstupní kapacitou. Na druhém místě je nízký odpor v sepnutém stavu, aby bylo možné zatěžovat zdroje s malou hodnotou napětí. Dále je to pak kolektorový proud tranzistoru alespoň 10 A. A konečně dostatečná výkonová ztráta. Ta však nemusí být velká, protože jde o dynamickou zátěž, tedy zatěžování bude probíhat v krátkých cyklech. Střední ztrátový výkon tedy postačí 30 W. Tyto požadavky splňuje MOSFET firmy Infineon, typ IPP230N06L.

Jak vyplývá z kapitoly 2, rozlišení nastavovaného výstupního proudu musí být alespoň $I_{INMIN} = 0,1 \text{ mA}$. Zároveň je požadavek na maximální proud $I_{INMAX} = 10 \text{ A}$. V případě digitální tvorby řídicího napětí by tedy bylo potřeba rozlišit podle rovnice (3.1) $n_a = 100000$ úrovní.

$$n_a = \frac{I_{INMAX}}{I_{INMIN}} = \frac{10}{0,1 \cdot 10^{-3}} = \underline{\underline{100000}} \quad (3.1)$$

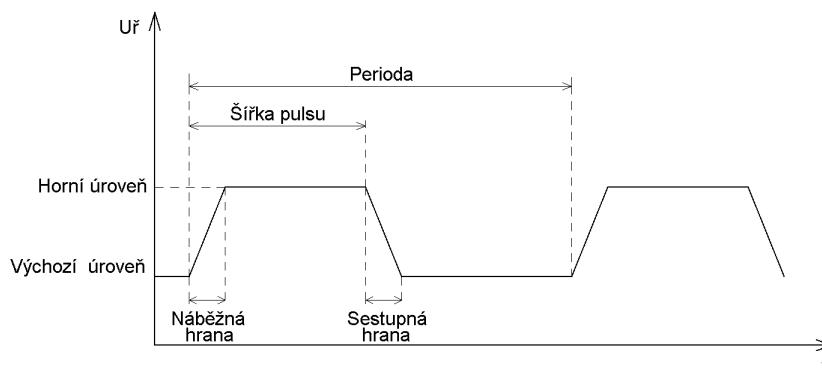
Rychlé DA převodníky jsou však obvykle maximálně 16 – ti bitové. Nabízí tedy rozlišení 65536 úrovní, což by bylo málo. Řešením je přepínání snímacího odporu v cestě vstupního proudu zátěže. Pokud budou zvoleny dva rozsahy 1 A a 10 A se snímacími odpory 1 Ω a 0,1 Ω , bude maximální řídicí napětí v obou případech 1 V a požadovaná přesnost 0,1 mV (odpovídá 0,1 mA na rozsahu 1 A, tj. snímací odpor 1 Ω). Požadovaný počet úrovní je tedy 10000, což je přijatelné. Akceptovatelně vychází také ztráta na snímacím odporu 1 Ω (rozsah 1 A) maximálně 1 W, na rozsahu 10 A pak 10 W, viz (3.2).

$$\begin{aligned} P_{Z(MAX)}(R_S) &= U(R_{S(MAX)}) \cdot I_{IN(MAX)} \\ P_{Z(MAX)}(R_{S(1A)}) &= 1 \cdot 1 = \underline{\underline{1 \text{ W}}} \\ P_{Z(MAX)}(R_{S(10A)}) &= 1 \cdot 10 = \underline{\underline{10 \text{ W}}} \end{aligned} \quad (3.2)$$

3.2. Generátor průběhu řídicího napětí

Jak bylo zmíněno v úvodu, požadovaný průběh vstupního proudu zátěže a tedy i řídicího napětí $U_{\text{ř}}$ má lichoběžníkový tvar – viz Obr. 5. Jelikož blok aktivní zátěže s výkonovým tranzistorem

pouze převádí řídicí napětí na vstupní proud zátěže, musí mít řídicí napětí právě lichoběžníkový průběh.



Obr. 5 Požadovaný průběh řídicího napětí

Aby byl signál plně definovatelný, musí být možné nastavovat tyto parametry:

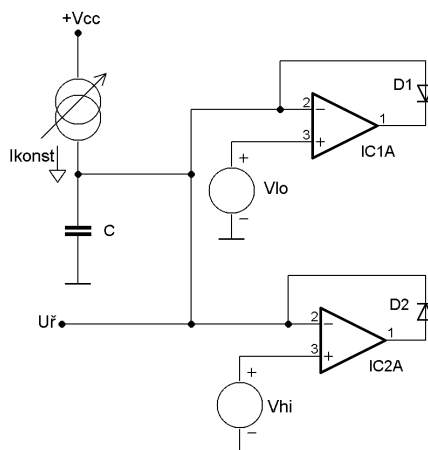
- Perioda (frekvence)
- Šířka pulzu
- Výchozí úroveň
- Horní úroveň
- Délka nástupné a sestupné hrany

Byly zvažovány následující způsoby realizace bloku generátoru požadovaného průběhu.

3.2.1. Analogová metoda - nabíjení kondenzátoru konstantním proudem

Princip této metody je na **Obr. 6**. Lineárního průběhu při nástupné a sestupné hraně je docíleno nabíjením (vybíjením) kondenzátoru konstantním proudem. Velikostí proudu a hodnotou kapacity kondenzátoru je dána strmost hrany. Výchozí úroveň je dána hodnotou referenčního napětí V_{LO} . Horní úroveň je dána hodnotou referenčního napětí V_{HI} .

Průběh generování jedné periody probíhá následovně. Zdroji proudu I_{KONST} se dá povel pro zapnutí kladného proudu. Na kondenzátoru C se začíná lineárně zvyšovat napětí od výchozí úrovně. Jakmile je dosaženo napětí V_{HI} (horní úroveň), překlápí komparátor IC1A svůj výstup do záporných hodnot a skrze diodu D1 je odváděn proud, který do této chvíle nabíjel kondenzátor C . Nyní se čeká na povel pro změnu směru proudu. Touto dobou je dána šířka pulsu. Pak se kondenzátor začíná vybíjet konstantním proudem, což má za následek lineární pokles napětí až do doby dosažení výchozí úrovně (V_{LO}). Pak se překlápí komparátor IC2A do kladných hodnot a skrze diodu D2 dodává proud tak, aby kondenzátor nebyl dále vybíjen. Následuje doba, po kterou je na výstupu pouze výchozí úroveň. Nová perioda začíná opětovným otočením směru proudu I_{KONST} do kladných hodnot.

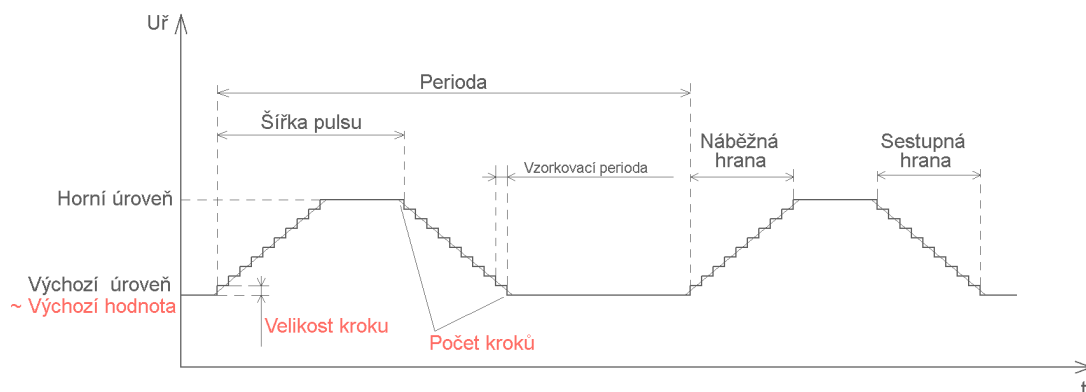


Obr. 6 Principiální schéma generátoru lich. průběhu pomocí zdroje konst. proudu a kondenzátoru

Při praktické realizaci se však tato metoda ukázala jako nevhodná. A to zejména kvůli omezené rychlosti komparátorů. Ta pak způsobuje překmity na konci nástupné a sestupné hrany. Čím kratší tyto hrany jsou (nabíjení kondenzátoru je rychlejší), tím jsou překmity větší. Při hodnotách hrany okolo 1 μs už není toto zapojení použitelné. Ani výměnou klasických OZ za rychlé a následně za proudové konveje nebylo dosaženo požadovaných výsledků.

3.2.2. Číslicové metody

Pokud má být lichoběžníkový průběh generován číslicově, je vlastně nahrazen schodovitým průběhem. Pokud je ale zvolen dostatečný počet schodů (prakticky bylo ověřeno, že postačí tři), jeví se po vyhlazení analogovým filtrem jako lineární.



Obr. 7 Princip číslicového generování lichoběžníkového řídicího napětí
(černě – zadávané parametry, červeně – přepočtené parametry)

Vlastní signál se generuje pomocí čísel výchozí hodnota, velikost kroku a počet kroků. Požadované parametry (výchozí úroveň, horní úroveň, délka nástupné a sestupné hrany) je tedy potřeba přepočítat:

- výchozí hodnota = $k \cdot \text{výchozí úroveň}$
- počet kroků = čas náběžné (sestupné) hrany / vzorkovací perioda
- velikost kroku = $k \cdot (\text{horní úroveň} - \text{výchozí úroveň}) / \text{počet kroků}$

Kde $k = \text{konst.}$ a závisí na počtu bitů DA převodníku a jeho referenčním napětí.

POŽADAVEK NA RYCHLOST VZORKOVÁNÍ

Z kapitoly 2 plyne, že je třeba generovat lichoběžníkový průběh s hranami minimálně $0,5 \mu\text{s}$. Tuto hranu je třeba provést alespoň třemi kory. Vzorkovací frekvence tedy musí být alespoň 6 MHz.

$$f_{VZ} = \frac{1}{T_{VZ}} = \frac{1}{\frac{0,5 \cdot 10^{-6}}{3}} = \underline{\underline{6 \text{ MHz}}} \quad (3.3)$$

POŽADAVEK NA ROZLIŠENÍ VÝSTUPNÍHO ČÍSLA

Z kapitoly 2 plyne, že minimální rozlišení řídicího napětí je $U_{\check{R}MIN} = 0,1 \text{ mV}$ a to při požadavku generovat maximálně napětí $U_{\check{R}MAX} = 1 \text{ V}$. Podle výpočtu (3.4) je tedy potřeba $n = 10000$ úrovní.

$$n = \frac{U_{\check{R}MAX}}{U_{\check{R}MIN}} = \frac{1}{0.0001} = \underline{\underline{10000}} \quad (3.4)$$

Převodník a čísla do něj generovaná tedy musí mít podle výpočtu (3.5) alespoň $B_{DA} = 14$ bitů.

$$\begin{aligned} n_{DA} &\geq n \\ 2^{B_{DA}} &\geq n \\ B_{DA} \cdot \log 2 &\geq \log n \\ B_{DA} \cdot \log 2 &\geq \log 10000 \\ B_{DA} &\geq \frac{\log 10000}{\log 2} \\ B_{DA} &\geq 13.28 \\ B_{DA} &\geq 14 \end{aligned} \quad (3.5)$$

3.2.2.1. Metoda přenosu dat mezi MCU a DA převodníkem

Tato metoda předpokládá, že se do paměti MCU vygeneruje tabulka čísel, které představují požadovaný generovaný průběh. Tyto čísla jsou pak vyčítána do DA převodníku. Pokud by generování mělo probíhat plynule nepřerušovaným vyčítáním z tabulky, musela by tato tabulka mít velikost přímo úměrnou délce periody signálu, vzorkovací frekvenci a šířce generovaného čísla. Při signálu s periodou $0,1 \text{ s}$, vzorkováním 6 MHz a rozlišením výstupního čísla 14 bitů by byla potřeba paměť o velikosti $D = 1,05 \text{ MB}$.

$$D = T(U_{\check{R}}) \cdot f_{VZ} \cdot B_{DA} = 0,1 \cdot 6 \cdot 10^6 \cdot 14 = 8,4 \text{ Mb} = \underline{\underline{1,05 \text{ MB}}} \quad (3.6)$$

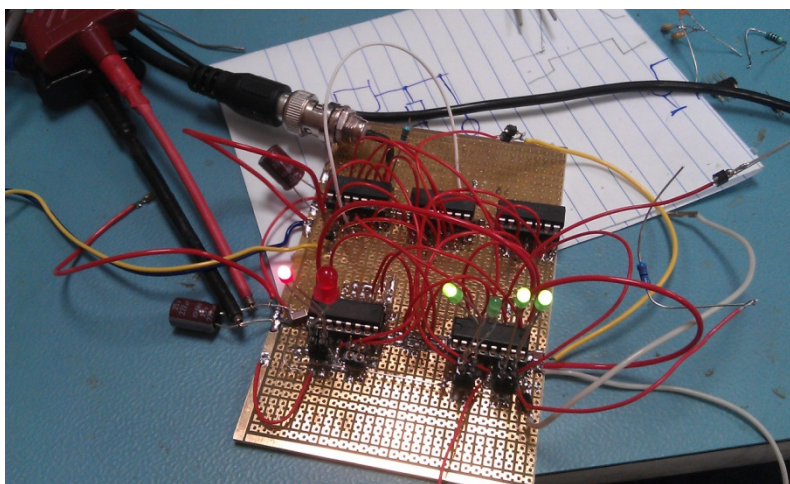
Výstupní číslo je potřeba vzorkovat frekvencí alespoň $f_{VZ} = 6 \text{ MHz}$ (viz (3.3)). Při předpokladu, že pro vyčítání dat z tabulky a obsluhu portů bude potřeba přibližně $i = 10$ instrukcí, vychází taktovací frekvence procesoru alespoň $f_{MCU} = 60 \text{ MHz}$.

$$f_{MCU} = f_{VZ} \cdot i = 6 \cdot 10^6 \cdot 10 = \underline{\underline{60 \text{ MHz}}} \quad (3.7)$$

Procesor by navíc měl stíhat obsluhu ovládacích prvků a zobrazovacího zařízení. Je zřejmé, že takové požadavky jsou při zachování přijatelné ceny mikrokontroleru hraniční. Přijatelnější tedy bude přenechat samotné generování požadovaného průběhu, tedy řídicího napětí na samostatném obvodu. Procesor jej tedy bude pouze obsluhovat a zároveň bude zpracovávat informace z ovládacích prvků a zobrazovat je na zobrazovacím zařízení.

3.2.2.2. Realizace pomocí diskrétních logických obvodů a DA převodníku

Lichoběžníkový (schodovitý) průběh lze také generovat pomocí logického obvodu – čítače. Ten však musí mít pro tyto účely specifické funkce. Nezbytná je funkce před - načtení, ta na začátku zapíše do registru čítače hodnotu, která představuje výchozí úroveň. Poté se spustí čítání. Po načtení definovaného počtu kroků je nezbytné čítání zastavit. Například blokováním hodinového signálu. Aby bylo možné definovat počet kroků, musí být navržena logická síť, která dá povel pro zastavení čítání po zvoleném počtu kroků. Po uplynutí času daného šířkou pulzu se vygeneruje povel pro čítání dolů. Čítač tedy musí umět čítat oběma směry. Po dosažení výchozí úrovně se musí čítání opět zastavit. Poté se udržuje výchozí úroveň do doby, než se začne opět čítat nahoru. Tím je definována perioda signálu.



Obr. 8 Pokus o realizaci generátoru schodovitého průběhu z diskrétních obvodů řady 74xx

Po pokusech realizovat takový generátor z diskrétních obvodů řady 74xx bylo jasné, že tudy cesta nevede. Při řešení jednotlivých úskalí se zapojení rozrůstalo do nepříjemných rozměrů. Nebyla také dořešena otázka změny velikosti kroku, protože čítač vždy inkrementuje pouze o jedničku.

3.2.2.3. Realizace hradlovým polem a paralelním DA převodníkem

Z hlediska rychlosti se realizace generátoru požadovaného průběhu logickými obvody jeví jako nejlepší. Návrh z diskrétních obvodů však selhal. Lze však využít moderní způsob návrhu komplexních logických obvodů pomocí hradlového pole. To je univerzální obvod, který obsahuje tisíce hradel, které jsou libovolně konfigurovatelné do požadovaného zapojení. Rychlost takového obvodu je přinejmenším srovnatelná s obvody řady 74xx, obvykle je však vyšší, neboť celý návrh je

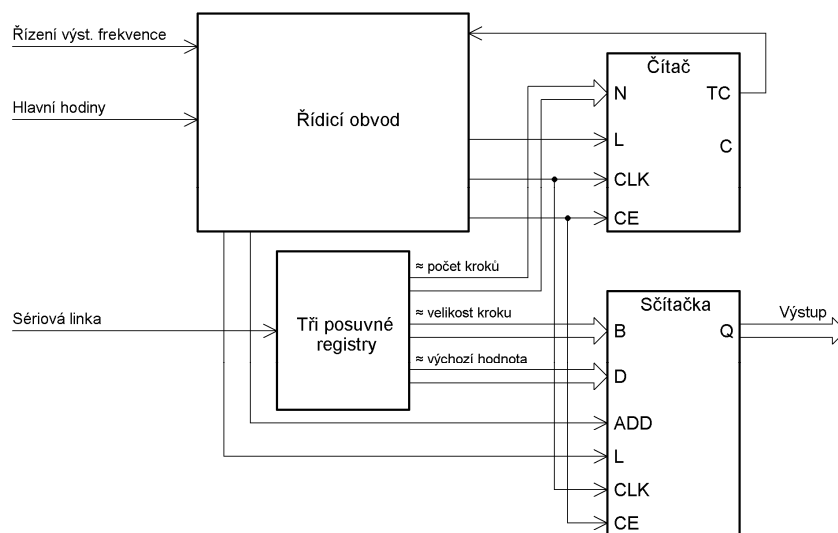
realizován hradly na jednom čipu a tedy spoje mezi nimi mají minimální délku. Zpoždění hradel takových obvodů se pohybuje okolo $T_{PD} = 10 \text{ ns}$. Můžou tedy pracovat na frekvencích až $f_{CNT} = 100 \text{ MHz}$.

$$f_{CNT} = \frac{1}{T_{PD}} = \frac{1}{10 \cdot 10^{-9}} = \underline{\underline{100 \text{ MHz}}} \quad (3.8)$$

I při zřetězení 10 – ti hradel může takový obvod pracovat s taktem až 10 MHz. Konstrukce generátoru řídicího napětí pomocí logických obvodů umožňuje získat výsledné číslo vždy během jednoho taktu hodin. Takže podmínka minimální vzorkovací frekvence 6 MHz by měla být s hradlovým polem splněna, zřejmě i s rezervou.

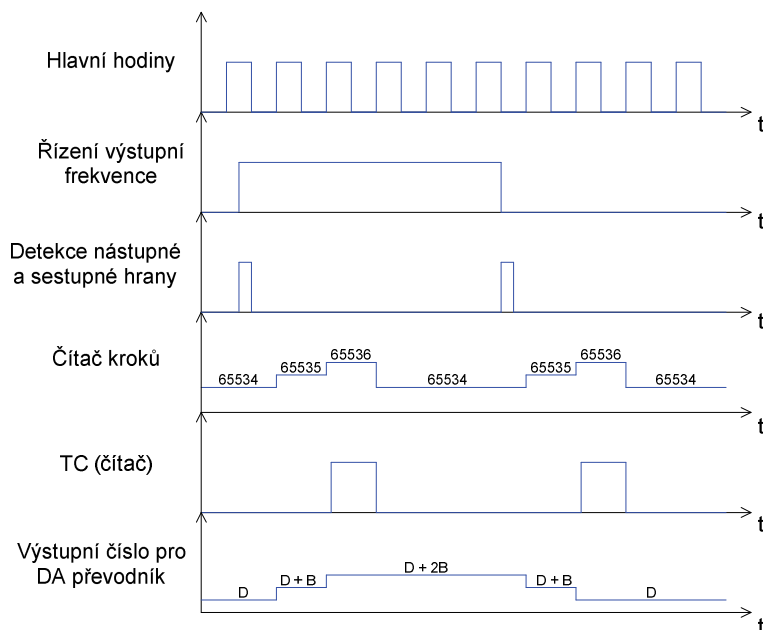
Požadavek na 14 – ti bitové rozlišení logiky by měl být také bez problémů splněn – bude zvoleno hradlové pole s vhodným počtem hradel.

Oproti návrhu z diskretních logických obvodů řady 74xx, kde nebyla dořešena změna velikosti kroku (byl použit jednoduchý čítač), zde bude použit vhodný blok, který toto bude umožňovat.



Obr. 9 Principiální schéma logického obvodu pro generování lichoběžníkového průběhu

Principiální schéma logického obvodu sloužícího ke generování lichoběžníkového průběhu je na **Obr. 9**. Po sériové lince jsou nahrána do tří posuvných registrů čísla, podle kterých se řídí generovaný průběh. Jsou to čísla počet kroků, velikost kroku a výchozí hodnota. Sčítačka umí výstupní číslo Q inkrementovat (nebo dekrementovat podle signálu ADD) o číslo na vstupu B. Umí také zapsat číslo D na výstup Q signálem L („load“). Číslo N zapsané do registru čítače definuje počet kroků.



Obr. 10 Princip funkce logického obvodu pro generování lichoběžníkového průběhu

Na **Obr. 10** je zobrazen princip funkce logického obvodu. Obvod je synchronní se signálem na vstupu hlavní hodiny. Signálem řízení výstupní frekvence je řízena výstupní frekvence a šířka pulzu. Před spuštěním čítání je do registru sčítačky nahrána výchozí hodnota D a do registru čítače hodnota N . Poté se čeká na nástupnou hranu signálu řízení výstupní frekvence, ta dá povel řídicí logice k započetí čítání. To začíná následující nástupnou hranou hlavních hodin. S každým taktem hodin se výstup (registr sčítačky) inkrementuje o číslo B a zároveň se inkrementuje číslo v registru čítače. To se děje, dokud čítač nepřeteče a vydá signál TC („terminal count“ – načtení nejvyšší hodnoty). Tento signál dá povel řídicí logice k zastavení čítání. Od teď je na výstupu udržována poslední načtená hodnota. Příchozem sestupné hrany signálu řízení výstupní frekvence je opět dán povel k čítání čítače, nyní se ale s každou nástupnou hranou hodin výstupní číslo dekrementuje. To se děje opět do přetečení čítače. Pak se čítání zastaví a čeká se na další nástupnou hranu signálu řízení výstupní frekvence. Tak je definována perioda výstupního signálu.

Generovaný sled čísel pak bude převádět paralelně připojený externí DA převodník na analogový signál, tedy řídicí napětí. Podle výpočtu (3.3) je potřeba rychlý převodník s vzorkovací frekvencí alespoň 6 MHz. Rozlišení převáděného čísla musí být podle výpočtu (3.5) alespoň 14 bitů.

3.2.3. Blok zpracování zadaných parametrů a jejich zobrazení

Jelikož je potřeba provést přepočty zadaných parametrů na čísla, kterými se pak řídí logika hradlového pole, bude nejjednodušší tento přepočet provést mikrokontrolérem. Ten se zároveň bude starat o uživatelsky snadné a přehledné zadání parametrů a jejich zobrazení. K těmto účelům by postačoval i relativně pomalý procesor, ale vzhledem k perspektivě, vybavení (16 – ti bitový AD převodník) a nízké ceně byl zvolen moderní 32 – bitový mikrokontrolér od firmy ST Microelectronics STM32F372.

3.2.4. Ovládací prvky

Ovládací prvky budou tvořit tlačítka a otočný enkodér. Ten nahradí klávesnici a bude sloužit k zadávání číselných hodnot parametrů.

3.2.5. Zobrazovací zařízení

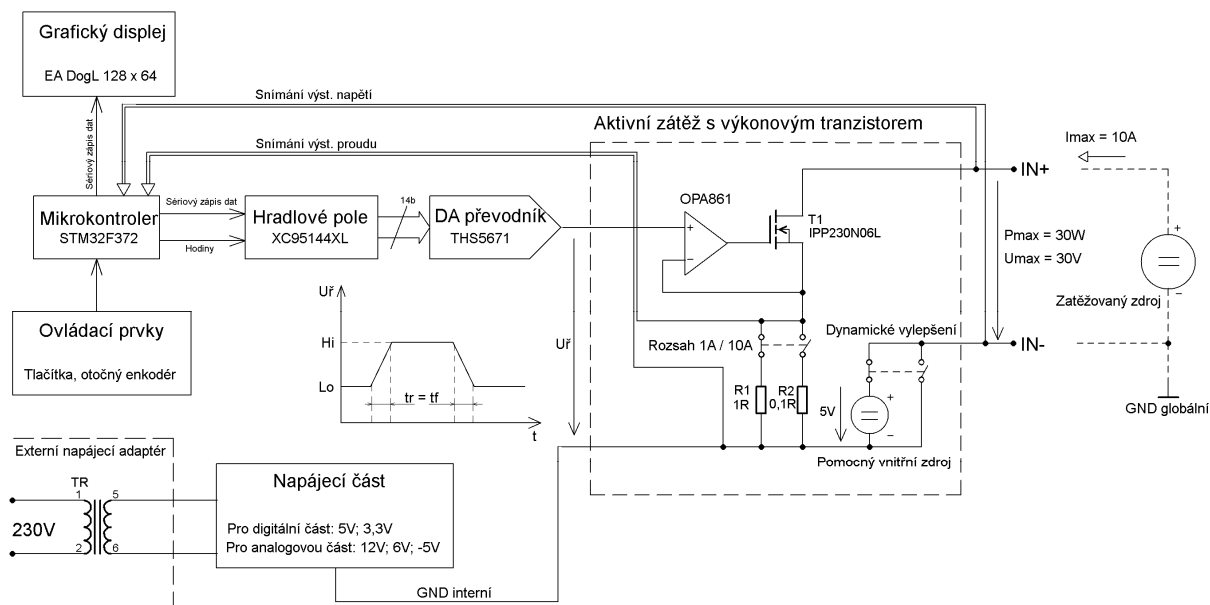
Je potřeba zobrazit mnoho zadávaných parametrů: výchozí úroveň proudu, frekvence, šířka pulzu, čas hrany a horní úroveň proudu. Jelikož je vhodné, aby všechny tyto parametry byly zobrazeny najednou a byly dobře čitelné, bude zvolen grafický displej dostatečné velikosti a rozlišení.

4. Popis realizované elektronické zátěže

V této kapitole bude postupně popsáno použité zapojení od stručného popisu blokového schématu přes detailní popis jednotlivých funkčních bloků až po celkové schéma zátěže.

4.1. Blokové schéma realizované elektronické zátěže

Realizovaná elektronická zátěž se skládá z několika základních bloků. Bloky uživatelského rozhraní jsou ovládací prvky a grafický displej zobrazující nastavené hodnoty. Uživatelské vstupy a výstupy jsou zpracovávány mikrokontrolérem, který také nastavuje ostatní bloky a měří vstupní veličiny. Mikrokontrolér posílá data do hradlového pole pomocí sériového SPI rozhraní. Logika v hradlovém poli generuje sled čísel, které putují po paralelní sběrnici přímo do DA převodníku. Výstupem převodníku je řídicí napětí U_R , které je pak v bloku aktivní zátěže s tranzistorem převáděno na vstupní proud. Blok umožňuje přepínání rozsahu vstupních proudů do 1 A nebo 10 A. Oproti klasické zátěži je na místě řídicího operačního zesilovače použit proudový konvektor, který výrazně zrychluje chování zátěže. Součástí zátěže je také blok dynamického vylepšení. Princip jeho funkce spočívá v podložení záporné svorky zatěžovaného zdroje vnitřním napětím 5 V. To se využije především při zatěžování zdrojů s malým napětím. Na výkonovém tranzistoru je pak vyšší napětí, což zlepšuje jeho dynamiku.



Obr. 11 Blokové schéma realizované elektronické zátěže

Celé zařízení je napájeno ze síťového adaptéru a díky tomu je interní zem zátěže plovoucí. To umožňuje přizemnit jak zápornou vstupní svorku zátěže, tak i kladnou. Prakticky to znamená, že lze zatěžovat stabilizátory kladného i záporného napětí.

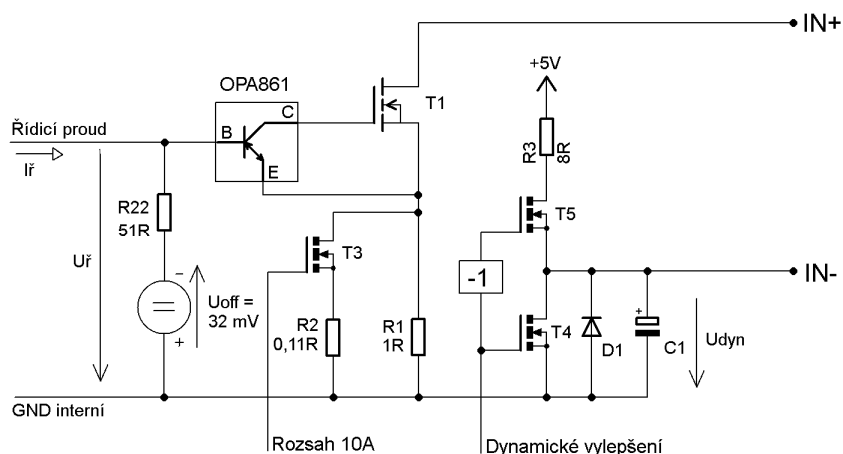
4.2. Aktivní zátěž s výkonovým tranzistorem

Aktivní zátěž s výkonovým tranzistorem je analogový výkonový blok, do kterého jsou připojeny vstupní svorky zátěže. Vstupní proud je pak řízen řídicím napětím U_R . Toto napětí může mít konstantní hodnotu, pokud je požadován konstantní zatěžovací proud, nebo může být pulzní, v případě že je vyžadována dynamická změna zatěžovaného proudu. Blok aktivní zátěže tedy musí být dostatečně rychlý, aby dokázal věrně převádět aktuální hodnotu řídicího napětí na vstupní proud.

4.2.1. Zjednodušené schéma

Zjednodušené schéma je zobrazeno na **Obr. 12**. Hlavním vstupem do bloku aktivní zátěže je řídicí proud I_R . Použitý DA převodník má totiž proudový výstup. Toho je s výhodou využito k oddělení signálové země. Vstupní proud musí být převeden na řídicí napětí U_R . To se provede na odporu R_{22} . Ten ale není připojen přímo na signálovou zem, ale je podložen malým napětím $U_{OFF} = -32 \text{ mV}$. Je to z důvodu, že celá zátěž má mikrokontrolérem řízenou kalibraci, která upravuje číselný výstup DA převodníku tak, aby byly odstraněny všechny nežádoucí offsety. Převodník však dokáže generovat pouze kladný proud, proto by byl kladný offset nekompenzovatelný. To vyřeší napětí U_{OFF} , jeho velikost je zvolena tak, aby převážila případný kladný offset proudového konveje, který je maximálně 20 mV . Tím je zajištěno, že celkový offset bude vždy záporný a lze jej tedy kompenzovat posunutím číselného výstupu DA převodníku.

Řídicí funkci zde namísto operačního zesilovače vykonává proudový konveje. Jeho činnost je však principiálně totožná s konvejním operačním zesilovačem. Na neinvertující vstup (bázi) je přivedeno řídicí napětí. Výstup (kolektor) je řízen tak, aby na invertující vstup (emitoru) bylo stejné napětí jako na bázi. Výkonový MOSFET tranzistor je tedy řízen tak, aby napěťový úbytek způsobený zatěžovacím proudem na snímacím odporu R_1 (R_2) byl roven řídicímu napětí. Použití proudového konveje namísto klasického operačního zesilovače přináší výhodu v nesrovnatelně rychlejší odezvě zátěže. To je při požadavku na její dynamiku důležité.

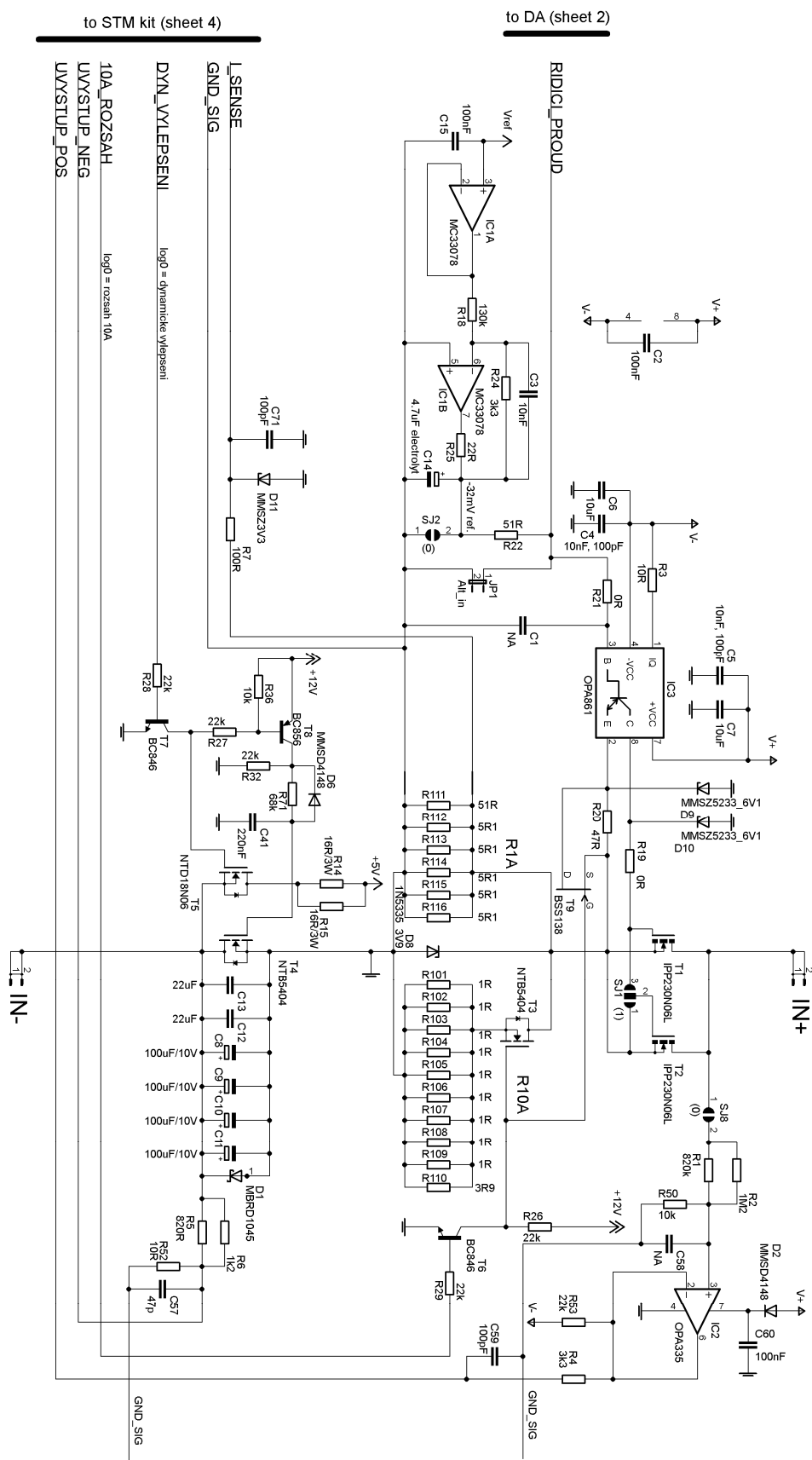


Obr. 12 Zjednodušené schéma aktivní zátěže s výkonovým tranzistorem

Jak bylo zmíněno v kapitole 3.1, zátěž musí mít přepínání proudových rozsahů 1 A a 10 A (snímací odpory 1Ω a $0,1 \Omega$). Bylo by zbytečné připínat každý snímací odpor vlastním MOSFET tranzistorem. Proto je snímací odpor 1Ω pro rozsah 1 A připojen nastálo a při změně rozsahu na 10 A se paralelně připejme taková hodnota odporu, aby výsledný odpor byl $0,1 \Omega$, což odpovídá rozsahu 10 A . Takto je zachován požadavek na maximální řídicí napětí 1 V v obou rozsazích.

Zátěž také obsahuje blok dynamického vylepšení. Ten se aktivuje sepnutím tranzistoru T5 a naopak rozepnutím T4. Napětí zatěžovaného zdroje je pak podloženo interním napětím 5 V. Proud z tohoto zdroje je vlivem srážecího odporu R3 omezený. Proudové špičky jsou však pokryty nábojem uloženým v kondenzátoru C1. Při vstupním proudu zátěže vyšším, než dokáže dodat vnitřní zdroj s omezovacím odporem R3, je tento proud veden diodou D1. Ta zabrání případnému přepólování kondenzátoru C1. Funkce dynamického vylepšení se tedy využije při zatěžování zdroje velmi malého napětí (pod cca 1 V) případně při požadavku na zlepšení dynamického chování zátěže. Výkonový tranzistor T1 tak má na sobě vyšší napětí, což zlepší dynamiku, případně vůbec umožní funkci zátěže. Navíc při dlouhých přívodech je strmost změny proudu omezena parazitní indukčností přívodů a velikostí napětí. Tuto funkci lze také deaktivovat a to vypnutím tranzistoru T5 a sepnutím T4. Tranzistory T4 a T5 tedy vždy fungují vzájemně inverzně.

4.2.2. Celkové schéma bloku aktivní zátěže s výkonovým tranzistorem



Obr. 13 Schéma zapojení aktivní zátěže s výkonovým tranzistorem

V následujících podkapitolách bude po blocích popsáno schéma zapojení aktivní zátěže s výkonovým tranzistorem z **Obr. 13**.

4.2.2.1. Vstupní a řídicí část

Vstupní řídicí proud vyvolává na odporu R22 úbytek napětí. Ten však není vztažen k signálové zemi, ale k malému zápornému referenčnímu napětí -32 mV . To generuje operační zesilovač IC1. Napětí je vytvořeno z hlavního referenčního napětí V_{REF} o hodnotě $1,25\text{ V}$. To je vyfiltrováno kondenzátorem C15 a je přivedeno na vstup sledovače s operačním zesilovačem IC1A. Operační zesilovač IC1B má za úkol toto napětí převést na hodnotu -32 mV . Je tedy zapojen jako invertující se zesílením (lépe zeslabením):

$$A(IC1B) = \frac{V_{OUT}}{V_{REF}} = \frac{-0,032}{1,25} = -\frac{1}{39,06} \quad (4.1)$$

Jeden ze zpětnovazebních odporů je třeba zvolit. Odpor R24 tedy bude mít hodnotu $3,3\text{ k}\Omega$. Z požadavku na zesílení je dopočten odpor R18:

$$A(IC1B) = -\frac{R24}{R18}$$

$$R18 = -\frac{R24}{A(IC1B)} = -\frac{3300}{-\frac{1}{39,06}} = 3300 \cdot 39,06 = 128898 \approx \underline{\underline{130\text{ k}\Omega}} \quad (4.2)$$

Jelikož pracuje operační zesilovač v režimu zeslabování, musí být dobře ošetřena jeho kmitočtová kompenzace. Tu zajišťuje kondenzátor C3 o hodnotě 10 nF . Aby mohlo být výstupní záporné referenční napětí vyfiltrováno kondenzátorem C14, je potřeba výstup OZ připojit přes odpor R25. Jinak by se zesilovač s kapacitní zátěží rozkmital. Úbytek napětí na odporu R25 nezpůsobí chybu, protože stejnosměrná zpětná vazba je připojena až za tento odpor. I tak je však pro stabilitu nezbytné použít elektrolytický kondenzátor. Ve srovnání s keramickými kondenzátory má velké ESR, tedy ekvivalentní sériový odpor. Ten do zpětnovazebního systému operačního zesilovače IC1B vnáší další „nulu“, čímž ovlivňuje stabilitu tohoto zdroje záporného referenčního napětí.

Řídicí napětí je tedy získáno jako součet úbytku napětí na odporu R22 a záporného referenčního napětí -32 mV . Toto napětí je přivedeno na neinvertující vstup (bázi) proudového konveje a je porovnáváno s napětím na snímacích odporech v cestě vstupního proudu. To je přivedeno přes kompenzační odpor R20 na invertující vstup (emitor).

Stabilita aktivní zátěže závisí na mnoha okolnostech. Ovlivňují ji velikost napětí na výkonovém tranzistoru U_{DS} , velikost snímacího odporu R_S a velikost vstupního proudu I_{IN} . Všechny tyto parametry se mění během provozu zátěže. Ideální by tedy bylo je všechny měřit a podle toho upravovat velikost kompenzačního odporu R20. Bylo by to náročné, ale zátěž by vždy fungovala s maximální rychlostí. Zde je zavedena změna kompenzace pouze podle nastaveného proudového rozsahu (1 A nebo 10 A). V případě sepnutí MOSFET T3 se sepne i tranzistor T9 a překlene odpor R20 o hodnotě $47\text{ }\Omega$. Odpor kanálu T9 v sepnutém stavu jsou přibližně $4\text{ }\Omega$.

Výstup (kolektor) řídí výkonový tranzistor T1 tak, aby napětí mezi oběma vstupy proudového konveje bylo nulové. Vstupní proud je tedy ideálně dán vztahem (4.3). Odpor R_S reprezentuje skupinu snímacích odporů R_{1A} , respektive paralelní kombinaci skupiny R_{1A} a R_{10A} .

$$\begin{aligned}
 I_{IN} &= \frac{U(R_S)}{R_S} \\
 U(R_S) &= U_E, U_B = U_{\dot{R}} \text{ a } U_B \approx U_E \\
 I_{IN} &\approx \frac{U_{\dot{R}}}{R_S}
 \end{aligned}
 \tag{4.3}$$

Zátěž se tedy chová jako proudová nora řízená napětím $U_{\dot{R}}$.

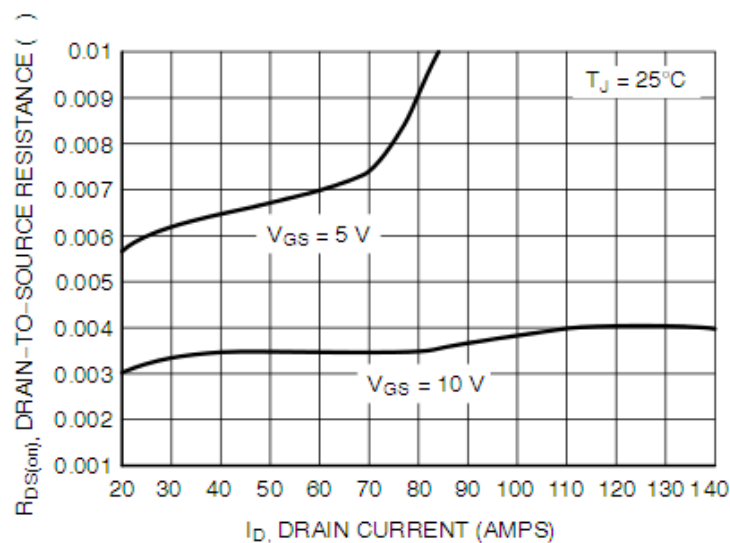
4.2.2.2. Snímací odpory

Jako snímací odpor pro rozsah 1 A je použita skupina odporů R_{1A} a její výsledný odpor je 1 Ω . Jelikož je na snímacích odporech úbytek maximálně 1 V při proudu 1 A, bude maximální ztrátový výkon 1 W.

Kvůli tepelnému dimenzování je skupina složena z pěti odporů R112 až R116 o hodnotě 5,1 Ω . Odpor R111 je doplněn tak, aby výsledná hodnota paralelně řazených odporů byla přesně 1 Ω .

$$\begin{aligned}
 \frac{1}{R_{1A}} &= 5 \cdot \frac{1}{5,1} + \frac{1}{R_{111}} \\
 \frac{1}{R_{111}} &= \frac{1}{R_{1A}} - 5 \cdot \frac{1}{R_{112}} \\
 R_{111} &= \frac{1}{\frac{1}{R_{1A}} - 5 \cdot \frac{1}{R_{112}}} = \frac{1}{\frac{1}{1} - 5 \cdot \frac{1}{5,1}} = \underline{\underline{51 \Omega}}
 \end{aligned}
 \tag{4.4}$$

Při přepnutí na rozsah 10 A se ke skupině snímacích odporů R_{1A} paralelně připojí pomocí MOSFET T3 skupina odporů R_{10A} . Potom musí být celkový odpor těchto paralelně řazených skupin roven 0,1 Ω . Přestože je odpor sepnutého MOSFET T3 minimální, lze jej odhadnout z grafu v katalogovém listu a zahrnout do výpočtu.



Obr. 14 Závislost R_{DSon} na napětí U_{GS} a proudu kolektorem I_D (zdroj: katalogový list NTB5404)

Báze tranzistoru T3 je připojena na +12 V. Emitor je na potenciálu maximálně 1 V (napětí na snímacím odporu). Napětí U_{GS} je tedy přibližně 11 V. Směrodatná je tedy křivka pro $U_{GS} = 10$ V. Proud tranzistorem je maximálně 10 A. To je mimo stupnici tohoto grafu. Bohužel katalogový list vhodnější graf neposkytuje. Nezbyvá tedy, než odhadnout, že odpor sepnutého MOSFET bude cca 3 mΩ.

Maximální úbytek na snímacích odporech je opět 1 V při proudu 10 A. Ztrátový výkon bude tedy 10 W. Kvůli tepelnému dimenzování je skupina složena z devíti odporů R101 až R109 o hodnotě 1 Ω. Připojená zůstala také skupina snímacích odporů R_{1A} s hodnotou 1 Ω, ztrátový výkon se tedy rozdělí mezi deset odporů, na každém bude 1 W. Odpor R110 je doplněn tak, aby celková hodnota paralelně řazených odporů byla přesně 0,1 Ω.

$$\begin{aligned}
 \frac{1}{0,1} &= \frac{1}{R_{1A}} + \frac{1}{R_{10A} + R_{DSon}(T3)} \\
 \frac{1}{0,1} &= \frac{1}{R_{1A}} + \frac{1}{\frac{1}{9 \cdot \frac{1}{1} + \frac{1}{R110}} + R_{DSon}(T3)} \\
 10 &= 1 + \frac{1}{\frac{1}{9 + \frac{1}{R110}} + 0,003} \\
 \frac{1}{9} &= \frac{1}{9 + \frac{1}{R110}} + 0,003 \\
 \frac{1}{9} - 0,003 &= \frac{1}{9 + \frac{1}{R110}} \\
 9 + \frac{1}{R110} &= \frac{1}{\frac{1}{9} - 0,003} \\
 \frac{1}{R110} &= \frac{1}{\frac{1}{9} - 0,003} - 9 \\
 R110 &= \frac{1}{\frac{1}{\frac{1}{9} - 0,003} - 9} = 4 \Omega \\
 \underline{\underline{R110 \approx 3,9 \Omega}}
 \end{aligned} \tag{4.5}$$

4.2.2.3. Teplotní závislost snímacích odporů

Ohřev snímacích odporů v cestě vstupního proudu způsobuje zvýšení jejich odporu. Stejně se chová také tranzistor T3 použitý ke změně rozsahu vstupního proudu. Existují metody, jak tyto nežádoucí změny kalibrací potlačit, aby se neprojevovaly ve vstupním proudu, avšak zde je použita

kalibrace pouze pro kompenzování offsetů. Ohřevem způsobená chyba bude mít procentuelní definici, protože nezpůsobuje offset, ale procentuelní změnu odporu snímacího rezistoru. Proto na malých proudech bude absolutní chyba zanedbatelná. Navíc, při předpokladu, že vstupní proud bude mít krátké pulzy, tedy nízkou střední hodnotu, nebude ohřev tak velký.

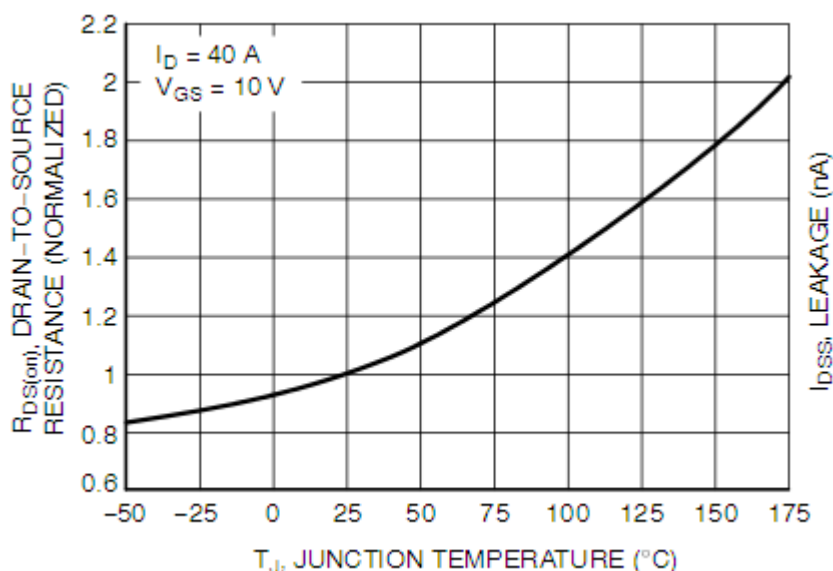
Použité snímací odpory mají teplotní koeficient $100 \text{ ppm} / ^\circ\text{C}$. Vzhledem k tomu, že jejich teplotu ovlivňuje nejen ztrátový výkon na nich, ale také okolní výkonové polovodiče, lze jejich ohřev pouze odhadnout. Při plném vstupním proudu to může být přibližně o $50 ^\circ\text{C}$.

$$\Delta R_s = \alpha \cdot \Delta \vartheta = 100 \cdot 10^{-6} \cdot 50 = 5 \cdot 10^{-3} = \underline{\underline{0,5 \%}} \quad (4.6)$$

Na rozsahu 1 A je tedy maximální chyba přibližně 0,5 %. Na 10 A rozsahu se navíc přidává změna odporu sepnutého kanálu tranzistoru T3. Na něm je ztrátový výkon daný vztahem (4.7).

$$P_z(T3) = R_{DSon} \cdot I_D^2 = 3 \cdot 10^{-3} \cdot 9^2 = \underline{\underline{0,243 \text{ W}}} \quad (4.7)$$

Ztrátový výkon na tranzistoru T3 je tedy velmi malý a jeho příspěvek k ohřátí čipu je zanedbatelný. Větší vliv bude mít teplota okolí tranzistoru. Tu lze však pouze odhadnout. Například pro ohřátí o 25°C (tedy na 50°C) se R_{DSon} podle **Obr. 15** zvýší o 10%, tedy o $0,3 \text{ m}\Omega$. Pro hrubé přiblížení, tato změna tedy zvýší celkový odpor $0,1 \Omega$ asi o 0,3 %. Na rozsahu 10 A je tedy chyba způsobena ohřevem snímacích odporů a tranzistoru T3 maximálně 0,8%.



Obr. 15 Závislost R_{DSon} na teplotě čipu tranzistoru T3 (zdroj: katalogový list NTB5404)

4.2.2.4. Ochranné prvky

Zenerovy diody D8, D9 a D10 slouží k ochraně proudového konveju při poruše a proražení výkonového tranzistoru T1. Dioda D8 má zenerovo napětí 3,9 V. Při normální funkci zátěže, kdy je na snímacích odporech napětí do 1 V se neuplatní, podle katalogového listu je totiž při $U_R = 1 \text{ V}$ zbytkový proud $I_R = 50 \mu\text{A}$. Avšak v případě proražení tranzistoru T1 omezí toto napětí, případně se sama proraží a ochrání tak snímací odpory od přetížení a emitorový vstup proudového konveju od přepětí. Prakticky byla tato dioda testována přímým připojením na zdroj $30 \text{ V} / 5 \text{ A}$

s filtrační kapacitou 2000 μF . Napětí na diodě nepřesáhlo ani špičkově hodnotu 8 V. Diody D9 a D10 doplňkově chrání emitor a kolektor proudového konveju taktéž proti přepětí.

4.2.2.5. Dynamické vylepšení

Kladná vstupní svorka zátěže je přivedena na kolektor tranzistoru T1. Tranzistor T2 je jen jako doplňující a ve skutečnosti je jeho funkce pájecí propojkou SJ1 zablokována. Záporná vstupní svorka není připojena na interní zem zátěže, ale na pomocný vnitřní zdroj napětí U_{DYN} . To je přivedeno z vnitřního stabilizovaného napětí 5 V přes paralelní kombinaci odporů R14 a R15 a sepnutý tranzistor T5. Těmito odpory je omezen maximální proud, který je tento pomocný zdroj schopen dodat. Po jeho překročení se napětí U_{DYN} mění z kladného na záporné a tím mizí jeho přínos. Aby se zabránilo dalšímu poklesu, je toto napětí omezeno na minimální hodnotu přibližně -0,5 V diodou D1. Maximální proud, který je odebírá z vnitřního zdroje +5 V je tedy:

$$\begin{aligned}
 I_D(T5) &= \frac{+5V - (-U_F(D1))}{R14 // R15} \\
 I_D(T5) &= \frac{+5V - (-U_F(D1))}{\frac{R14 \cdot R15}{R14 + R15}} = \frac{5 - (-0,5)}{\frac{16 \cdot 16}{16 + 16}} \\
 \underline{\underline{I_D(T5) = 0,688 \text{ A}}}
 \end{aligned} \tag{4.8}$$

Pokud se tedy stane, že vstupní proud bude vyšší, než 0,688 A, bude veden diodou D1. Nedojde k žádnému poškození, avšak za takových podmínek funkce dynamického vylepšení situaci zhoršuje. Pokud však jde o krátké proudové impulzy, budou pokryty nábojem uloženým v kondenzátorech C8 až C13. Zjednodušeně lze tedy říci, že tuto funkci je vhodné aktivovat v případě, že střední hodnota vstupního proudu nepřekračuje hodnotu 0,688 A.

Funkci dynamického vylepšení je samozřejmě možné také deaktivovat. To se provede nastavením signálu dynamické vylepšení do logické jedničky (výstup z mikrokontroléru – dále již pouze MCU). Budící tranzistor T7 se tedy otevře a připojí bázi tranzistor T5 na zem. Tím se tranzistor zavře a odpojí se napětí +5 V. Zároveň se sepne tranzistor T8. Ten začne budit bázi tranzistoru T4 přes RC článek tvořený R71 a C41. RC článek omezí rychlost sepnutí tranzistoru T4 a kondenzátory C8 až C13 jsou jím pozvolna vybíjeny. Jinak by docházelo k velkým proudovým špičkám, což by mělo za následek snížení životnosti kondenzátorů. RC konstanta tohoto článku je:

$$\tau = R \cdot C = R71 \cdot C41 = 68000 \cdot 220 \cdot 10^{-9} = 0,015 = \underline{\underline{15 \text{ ms}}} \tag{4.9}$$

Vybíjení kondenzátorové baterie tedy proběhne za přibližně 15 ms. Aby bylo urychleno vybíjení kondenzátoru C41 v případě aktivace dynamického vylepšení, je přes odpor R71 zapojena dioda D6.

4.2.2.6. Snímání vstupního napětí

Funkce měření napětí připojeného na svorky zátěže sice není v mikrokontroléru implementována, hardwarově však nachystaná je. Napětí připojeného zdroje je po vydělení odporovým děličem přivedeno na AD převodník MCU. Jelikož záporná svorka vstupu nemusí být spojena s interní zemí (podle toho jestli je nebo není aktivována funkce dynamického vylepšení), musí být měření provedeno diferenčně. Zde se s výhodou využije diferenčního vstupu AD převodníku

v MCU. Jde o napětí U_{VYSTUP_POS} a U_{VYSTUP_NEG} . U_{VYSTUP_POS} představuje napětí na kladné vstupní svorce zeslabené 50 – krát ($A_{UVYSTUP} = 1 / 50$). To je nezbytné, aby byl dodržen povolený napěťový rozsah AD převodníku. Jelikož je jeho referenční napětí $U_{REF} = 1,25 \text{ V}$, může mít maximální vstupní napětí právě tuto hodnotu. Tím je zajištěno, že maximální zpracovatelné napětí na kladné vstupní svorce může být až 62,5 V.

$$U_{MAX}(IN+) = U_{REF} \cdot A_{ULOAD} = 1,25 \cdot 50 = \underline{\underline{62,5 \text{ V}}} \quad (4.10)$$

Při rozlišení AD převodníku 16 bitů získáváme minimální rozlišitelnou hodnotu napětí:

$$U_{MIN}(IN+) = \frac{U_{MIN}(OUT+)}{n} = \frac{U_{MIN}(OUT+)}{2^{16}} = \frac{62,5}{65536} = 9,54 \cdot 10^{-4} = \underline{\underline{0,954 \text{ mV}}} \quad (4.11)$$

To je naprosto dostatečné rozlišení.

Vydělení napětí kladné vstupní svorky je provedeno děličem z odporů R1 (R2) a R50. Jelikož proud, který tímto děličem teče, způsobuje chybu vstupního proudu, která není kompenzovatelná, musí být tento proud minimalizován. Proto jsou hodnoty odporů v děliči velmi velké. Jak vyplývá z výpočtu (4.12), dělicí poměr je téměř přesně 50.

$$A_{UVST_POS} = \frac{R50}{R1 // R2 + R50}$$

$$A_{UVST_POS} = \frac{R50}{\frac{R1 \cdot R2}{R1 + R2} + R50} = \frac{1 \cdot 10^4}{\frac{8,2 \cdot 10^5 \cdot 1,2 \cdot 10^6}{8,2 \cdot 10^5 + 1,2 \cdot 10^6} + 1 \cdot 10^4} = \underline{\underline{\frac{1}{49,7}}} \quad (4.12)$$

Vzhledem k „měkkosti“ děliče za ním následuje sledovač realizovaný operačním zesilovačem IC2. Jeho výstup pak poskytuje napětí U_{VYSTUP_POS} pro kladný diferenční vstup AD převodníku. Aby v případě poruchy nebyl převodník poškozen přepětím, je do cesty vložen odpor R4 o hodnotě 3,3 kΩ. Za ním je doplněn kondenzátor C59, který pokrývá proudové špičky při nabíjení vzorkovacího kondenzátoru AD převodníku.

Obdobně musí být vyděleno napětí záporné vstupní svorky. Zde už na proud tekoucí skrze dělič příliš nesejde, protože v případě, že je funkce dynamického vylepšení zapnuta, teče z pomocného zdroje U_{DYN} a pokud je vypnuta, je tento uzel uzemněn. Vstupní proud zátěže tedy tímto děličem není nijak ovlivněn. Dělič je realizován odpory R5 (R6) a R52. Kondenzátor C57 má stejnou funkci jako C59. Dělicí poměr $A_{UVYSTUP_NEG}$ je stejný jako $A_{UVYSTUP_POS}$, protože byly použity hodnoty odporů, jako v děliči u kladné vstupní svorky, avšak 1000 – krát menší. Na dělicí poměr to samozřejmě nemá vliv.

Měřené diferenční napětí AD převodníkem tedy odpovídá rozdílu napětí mezi kladnou a zápornou svorkou zátěže – tedy napětí zatěžovaného zdroje, je však vyděleno 50 – krát.

4.2.2.7. Snímání vstupního proudu

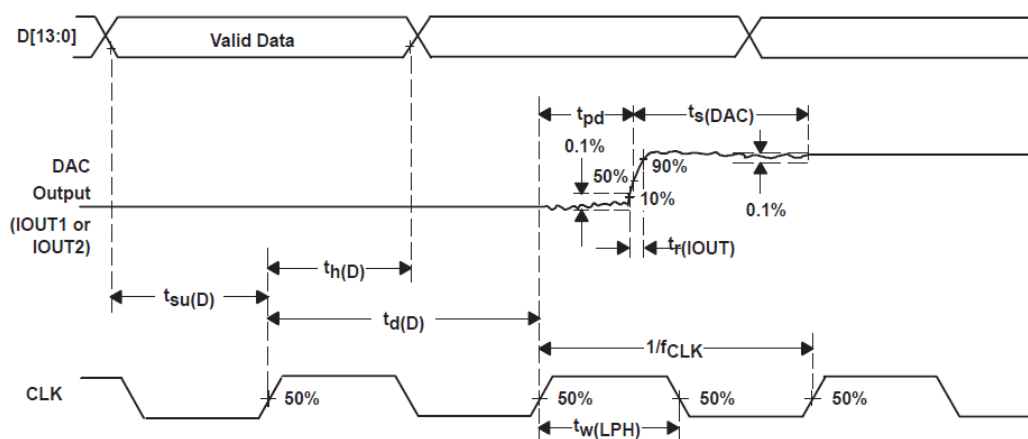
Ke snímání vstupního proudu je použito stejných snímacích odporů, jako pro řízení proudového konveju. Odpory jsou sice jednou stranou připojeny na zem, ale aby byly odstraněny chyby způsobené zemními smyčkami, je i zde měření provedeno diferenčně. Signálová zem, která vede samostatně od spoje snímacích odporů s výkonovou zemí je připojena na záporný diferenční vstup AD převodníku. Snímané napětí je vedeno jako signál „ I_{SENSE} “ přes odpor R7 na kladný vstup

AD převodníku. Zenerova dioda D11 chrání vstup proti přepětí. Kondenzátor C71 dodává náboj do vzorkovacího kondenzátoru převodníku.

Měření a zobrazování vstupního proudu není softwarově implementováno, je však využíváno ke kalibraci vstupního proudu, což je zmíněno v kapitole 6.

4.3. DA převodník

Kvůli vysoké vzorkovací frekvenci byl zvolen DA převodník s paralelním vstupem. Množství vodičů zde není problematické, protože převodník je umístěn na plošném spoji hned vedle hradlového pole generujícího čísla. Výstupy lze v hradlovém poli libovolně „napínovat“, takže vodiče se plošném spoji nijak nekříží. Převodník je 14 – ti bitový a má vzorkovací frekvenci až 125 MHz ($V_{DVDD} = 5\text{ V}$). Kromě vstupního čísla je do převodníku přiveden také hodinový signál, který nástupnou hranou udává povel k zápisu čísla do vnitřní paměti. S dalším hodinovým pulsem je pak číslo ve vnitřním bufferu zapsáno na výstup. Dochází tedy ke zpoždění výstupního analogového signálu za vstupním číslem o jednu periodu hodin. To však zde není nijak na závadu.



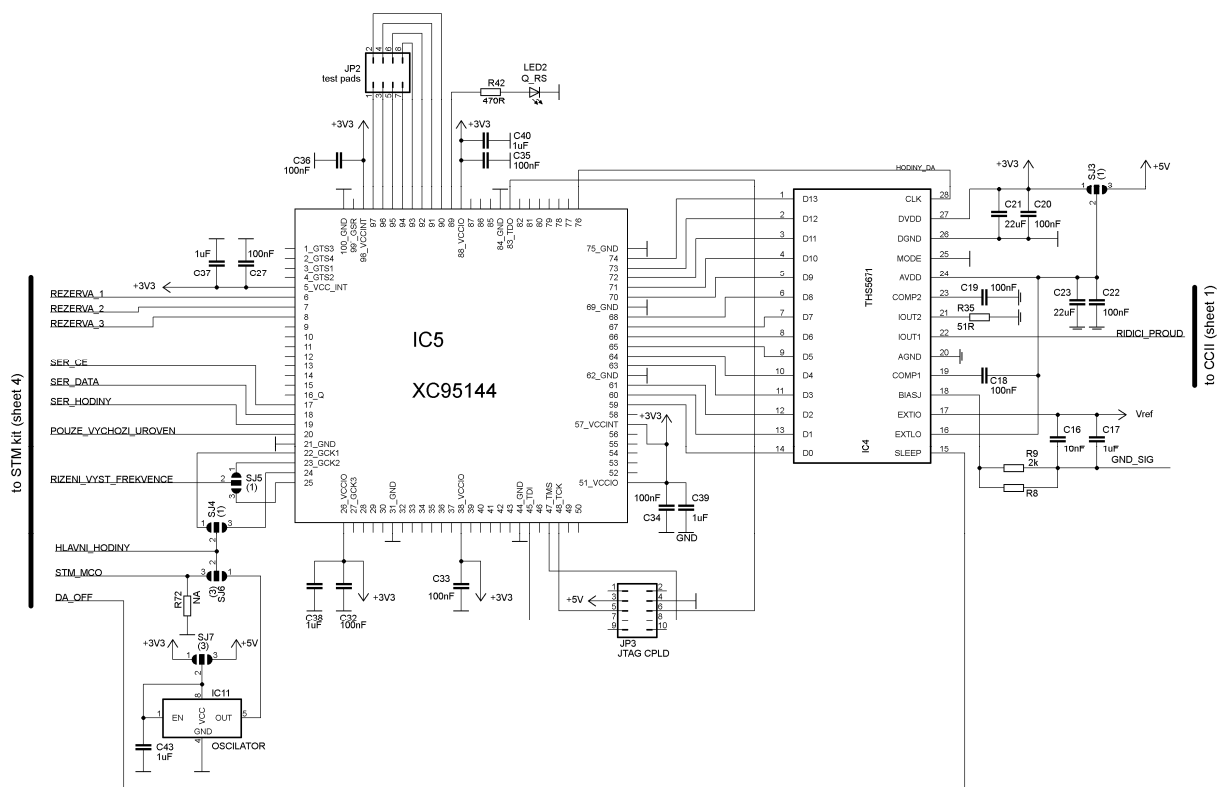
Obr. 16 Časování vstupního čísla a hodin DA převodníku [6]

Schéma zapojení DA převodníku je na **Obr. 17**. Napájení převodníku je rozděleno na digitální (V_{DVDD}) a analogovou část (V_{AVDD}). Pro digitální část je to 3,3 V, což zajišťuje napěťovou kompatibilitu s výstupy z hradlového pole, avšak maximální vzorkovací frekvence je díky nižšímu napětí omezena na 70 MHz, což je ale pořád více než je vyžadováno. Pro analogovou část je přivedeno napájení 5 V. Digitální (DGND) a analogová (AGND) zem jsou vedeny také zvlášť. Obě napětí jsou blokována kondenzátory 22 μF a 100 nF.

Na vývody COMP1 a COMP2 jsou připojeny katalogovým listem vyžadované filtrační kondenzátory.

Na vývod EXTIO je přivedeno vnější referenční napětí 1,25 V, které zajišťuje reference REF3012 (viz napájecí blok). Toto napětí je vyfiltrováno a vztaženo k signálové zemi.

Převodník má diferenční proudový výstup. Jelikož není třeba vést tento signál daleko, záporný výstup (IOUT2) zůstává nepoužit a je uzemněn přes odpor R35 (**Obr. 17**). Kladný výstup (IOUT1) je pak veden do bloku aktivní zátěže s výkonovým tranzistorem jako řídicí proud.



Obr. 17 Vnější schéma zapojení DA převodníku s hradlovým polem

Popis vnějšího zapojení hradlového pole je v kapitole **4.4.2**.

SOUVISLOST MEZI ČÍSELNÝM VSTUPEM PŘEVODNÍKU A PROUDEM NA VSTUPU ZÁTĚŽE

Pro názorný příklad bude uvedena situace, kdy má být vstupní proud 10 A. Na snímacím odporu 0,1 Ω tedy bude úbytek 1 V. Řídicí napětí tedy musí mít také hodnotu 1 V. Odparem R22 tedy musí procházet řídicí proud 19,61 mA.

$$I_{OUT1} = \frac{1 \text{ V}}{51 \Omega} = 19,61 \text{ mA} \quad (4.13)$$

Velikost výstupního proudu převodníku je dána následujícím vzorcem [6]:

$$I_{OUT1} (D = 16383) = \frac{V_{REF}}{R_{BIAS}} \cdot 32 \quad (4.14)$$

$$I_{OUT1} = \frac{V_{REF}}{R_{BIAS}} \cdot 32 \cdot \frac{D}{16383}$$

Kvůli přehlednosti a také aby zůstala rezerva pro kompenzaci offsetů, je zvolena úměra, že maximální vstupní proud (1 A nebo 10 A podle zvoleného rozsahu) bude odpovídat číslu D = 15000. Z toho vychází, že odpor R_{BIAS} musí mít hodnotu 1868 Ω.

$$\begin{aligned}
I_{OUT1} &= \frac{V_{REF}}{R_{BIAS}} \cdot 32 \cdot \frac{D}{16383} \\
\frac{V_{REF}}{R_{BIAS}} &= \frac{I_{OUT1}}{32 \cdot \frac{D}{16383}} \\
R_{BIAS} &= \frac{32 \cdot \frac{D}{16383}}{I_{OUT1}} \cdot V_{REF} = \frac{32 \cdot \frac{15000}{16383}}{19,61 \cdot 10^{-3}} \cdot 1,2 = \underline{\underline{1868 \Omega}}
\end{aligned} \tag{4.15}$$

Odpor R_{BIAS} je tvořený paralelní kombinací odporů $R8$ a $R9$. $R9$ má hodnotu $2 \text{ k}\Omega$. Odpor $R9$ má hodnotu $27 \text{ k}\Omega$.

$$\begin{aligned}
\frac{1}{R_{BIAS}} &= \frac{1}{R8} + \frac{1}{R9} \\
\frac{1}{R9} &= \frac{1}{R_{BIAS}} - \frac{1}{R8} \\
R9 &= \frac{1}{\frac{1}{R_{BIAS}} - \frac{1}{R8}} = \frac{1}{\frac{1}{1868} - \frac{1}{2000}} = 28303 \Omega \approx \underline{\underline{27 \text{ k}\Omega}}
\end{aligned} \tag{4.16}$$

Hodnotu odporu $R9$ však je vhodné doladit vyzkoušením v konkrétní realizaci. To je dáno tolerancí referenčního napětí V_{REF} a odporu snímacích rezistorů.

Záměrně doteď nebylo uvažováno s offsetem proudového konveju a zdrojem záporného referenčního napětí -32 mV . Tento offset je digitálně kompenzován, tzn. že MCU dá povel nastavit určitý proud a změří skutečný proud. Rozdíl pak přičte k požadované hodnotě proudu. Proudový konveju má podle katalogového listu maximální offset $\pm 20 \text{ mV}$. Záporné referenční napětí je zvoleno záměrně -32 mV , aby převážilo případný kladný offset konveju. Celkový offset je tedy vždy záporný a lze jej kompenzovat posunutím čísel pro DA převodník (to lze pouze do kladných hodnot). V případě, že konveju má offset -20 mV , bude třeba řídicí napětí posunout dohromady o $U_{OFFMAX} = 52 \text{ mV}$. Plný rozsah pro $U_R = 1 \text{ V}$ odpovídá hodnotě výstupního čísla 15000. V rovnici (4.17) je tedy přímou úměrou dopočten maximální offset výstupního čísla D_{OFFMAX} odpovídající hodnotě $U_R = 52 \text{ mV}$.

$$\begin{aligned}
1V &\equiv 15000 \\
D_{OFFMAX} &= \frac{U_{OFFMAX}}{U_{RMAX}} = \frac{0,052}{1} \cdot 15000 \\
\underline{\underline{D_{OFFMAX} = 780}}
\end{aligned} \tag{4.17}$$

4.4. Hradlové pole

Tento blok slouží ke generování sledu čísel pro DA převodník. Řídicí napětí generované DA převodníkem pak skrze blok aktivní zátěže s výkonovým tranzistorem řídí vstupní proud. Ten má tvar lichoběžníku. Je požadováno, aby byla nastavitelná výchozí a horní úroveň proudu, čas náběžné a

sestupné hrany, frekvence a šířka pulzu zatěžovaného proudu. To samé tedy platí i pro nastavení průběhu řídicího napětí.

Bylo zvoleno hradlové pole firmy Xilinx XC95144XL. V portfoliu je tento integrovaný obvod zařazen do rodiny CPLD (Complex Programmable Logic Device – komplexní programovatelné logické pole). Tato rodina se řadí mezi relativně jednoduché a cenově dostupné. Použité hradlové pole je v pouzdře TQFP100. Lze jej tedy poměrně snadno zapájet, případně vyměnit.



***Obr. 18** Hradlové pole XC95144XL v pouzdře TQFP100*

Z celkového počtu 100 vývodů je pro vstupy / výstupy použitelných 81 vývodů. Zbytek tvoří napájecí piny a tři piny programovacího rozhraní JTAG.

Programování probíhá přes JTAG rozhraní. Navíc je tzv. „in – system“, takže jej lze programovat na osazené desce. Je třeba pouze dodržet, aby nebylo připojeno tvrdé napětí (např. 3,3 V) na žádný z pinů, který není nakonfigurován jako vstupní. Mohlo by totiž dojít ke zničení obvodu. Pokud tedy je na desce osazen JTAG konektor, můžeme i libovolně přeprogramovávat zapojení uvnitř hradlového pole. K programování potřebujeme převodník USB – JTAG.

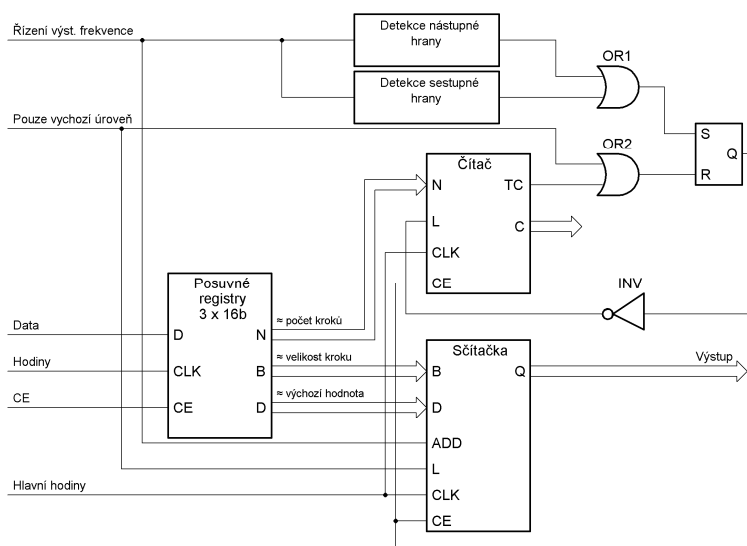
4.4.1. Logický obvod pro generování lichoběžníkového průběhu

Tento logický obvod je realizován hradly uvnitř hradlového pole XC95144XL. Veškeré programování hradlového pole bylo prováděno v programu Xilinx ISE Design Suite verze 13.1 [21]. Ke stažení je i bezplatná verze, která by tento typ hradlového pole měla plně podporovat.

Pro přiblížení, co znamená a obsahuje Xilinx ISE, následuje překlad definice z Wikipedie [1] : Xilinx ISE (Integrated Software Environment – Integrované softwarové prostředí) je softwarový prostředek vyvinutý firmou Xilinx pro syntézu a analýzu HDL (Hardware Description Language – jazyk popisující hardwarovou strukturu). Umožňuje vývojářům syntézu (složení) jejich návrhu, provádět časovou simulaci se zadanými vstupy, která může a nemusí brát v potaz zpoždění jednotlivých hradel, vyšetřit RTL (Register Transfer Level – popis na úrovni přenosu dat mezi registry) diagramy, a konečně konfigurovat cílový obvod pomocí programátoru.

4.4.1.1. Blokové schéma

Na **Obr. 19** je blokové schéma logického obvodu v hradlovém poli, který generuje lichoběžníkový průběh pro řízení vstupního proudu zátěže. Toto blokové schéma vychází z detailního schématu na **Obr. 28**.



Obr. 19 Blokové schéma logického obvodu pro generování lichoběžníkového průběhu

POPIS BLOKŮ

Detekce nástupné hrany – po příchodu nástupné hrany signálu *řízení výstupní frekvence* se na výstupu bloku objeví krátký impuls

Detekce sestupné hrany – po příchodu sestupné hrany signálu *řízení výstupní frekvence* se na výstupu bloku objeví krátký impuls

Čítač – 16 – ti bitový čítač s funkcí před – načtení (signálem *L* - load se načte číslo na vstupu *N*), signálem *CE* – chip enable lze obvod aktivovat nebo deaktivovat, signál *TC* reaguje na přetečení čítače, výstup *C* je inkrementován každou nástupnou hranou signálu *CLK* (pokud je *CE* aktivní)

RS klopný obvod s prioritou reset, jeho výstup určuje, zda se má čítat, nebo udržovat konstantní výstupní hodnota

Posuvné registry – tři 16 – ti bitové posuvné registry, pro zápis do nich slouží sériová linka se signály *data*, *hodiny* a *CE*

Sčítačka – vstupní číslo *D* se zapíše na výstup *Q* signálem *L* – load, signálem *CE* – chip enable lze obvod aktivovat nebo deaktivovat, signál *ADD* udává, jestli se přičítá nebo odečítá, každou nástupnou hranou signálu *CLK* se výstup *Q* navýší nebo sníží (podle signálu *ADD*) o hodnotu na vstupu *B*

POPIS FUNKCE

Jelikož schématická knihovna programu Xilinx ISE obsahuje 16 – ti bitové bloky, je zde použita také 16 – ti bitová logika. Použitý DA převodník je však 14 – ti bitový. Dva nejvyšší bity tedy zůstávají nepoužity. Vstupní signál *řízení výstupní frekvence* udává frekvenci (periodu) a šířku pulzu výstupního signálu *Q*. Signál *hlavní hodiny* udává takt, kterým je obnovován výstupní signál (vzorkování). Signálem *pouze výchozí úroveň* lze zablokovat čítání, výstup bude mít tedy konstantní výchozí hodnotu. Na vstup *hlavní hodiny* je stále připojen vzorkovací kmitočt.

Inicializace (a případné další přenastavení) logického obvodu se provádí následovně. Nejprve se na vstup *pouze výchozí úroveň* přivede logická jednička, ta projde přes slučovací hradlo OR2 a resetuje RS klopný obvod. Jeho výstup je tedy v nule a čítač i sčítačka jsou zablokovány signály *CE*, aby se zabránilo nechtěné funkci obvodu při zaplňování sériových registrů. Po sériové lince (signály *data*, *hodiny*, *CE*) se zapíše do sériových registrů číslo, kterými se pak řídí generovaný průběh. Jsou to

čísla *počet kroků*, *velikost kroku* a *výchozí hodnota* – viz **Obr. 7**. Signál *pouze výchozí úroveň* je také přiveden na vstup *L* – load sčítačky. Tím se provádí opakované načítání čísla výchozí hodnota z posuvného registru do registru sčítačky v rytmu hlavních hodin. Po dokončení sériového zápisu čísel je tedy ve sčítačce před nastavená výchozí hodnota. Na vstup *pouze výchozí úroveň* se nyní přivede logická nula. Tím se přestává RS klopný obvod stále resetovat. V klidovém stavu, kdy je signál *řízení výstupní frekvence* v nule, je přes invertor INV přiveden do bloku čítače signál *L* – load, který dává povol k načtení hodnoty *N* do registru čítače. Příchodem nástupné hrany *signálu řízení výstupní frekvence* vygeneruje blok detekce nástupné hrany krátký impulz. Ten projde přes slučovací hradlo OR1 do RS klopného obvodu a nastaví jej do jedničky. To signalizuje povolení k čítání (*CE* bloku sčítačky i čítače jsou povoleny). První nástupnou hranou signálu *hlavní hodiny* je provedeno inkrementování čítače (od přednastaveného čísla *N*) a zároveň navýšení výstupu sčítačky o číslo *B* (velikost kroku). Tento děj se opakuje v rytmu hlavních hodin, dokud čítač nepřeteče. Tak je definován počet kroků *k*, který je dán vztahem:

$$k = 2^{16} - N = 65536 - N \quad (4.18)$$

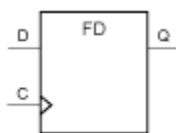
Přetečení je signalizováno logickou jedničkou signálu *TC* – „terminal count“ čítače. Ten projde přes slučovací hradlo OR2 a resetuje RS klopný obvod. Ve sčítačce tedy zůstává číslo po posledním navýšení. Funkce čítače je také zablokována a je do něj opět signálem *L* načtena hodnota *N*. Nyní se nic neděje až do příchodu sestupné hrany signálu *řízení výstupní frekvence*. Ta skrze blok detekce sestupné hrany vygeneruje krátký pulz. Ten projde přes slučovací hradlo OR1 a nastaví RS klopný obvod do logické jedničky. Tak je opět aktivován čítač i sčítačka. S každou nástupnou hranou hlavních hodin je opět inkrementován čítač. Sčítačka má nyní signál *ADD* v logické nule. To znamená, že s každým taktem hlavních hodin je výstup snížen o hodnotu *B*. To se opět děje, dokud nepřeteče čítač a resetuje RS klopný obvod. Jelikož je počet kroků i velikost kroku stejná při nástupné i sestupné hraně, je po dokončení čítání na výstupu sčítačky opět výchozí hodnota. Další perioda pak začíná nástupnou hranou signálu *řízení výstupní frekvence* a probíhá shodně.

4.4.1.1. Celkové schéma logického obvodu

Logický obvod byl navržen v programu Xilinx ISE. Součástí programu jsou také knihovny s funkčními bloky. Byly použity následující bloky. Zdroj informací: nápověda ke knihovně programu Xilinx ISE.

POUŽITÉ BLOKY Z KNIHOVNY PROGRAMU XILINX ISE

Klopný obvod FD



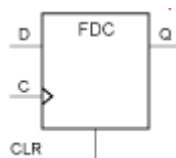
Obr. 20 Symbol klopného obvodu FD

Z anglického „D Flip – Flop“, tedy D – klopný obvod.

Na vstup *D* se přivedou data a hodinami *C* se potvrdí jejich zápis na výstup *Q*.

Vstupy		Výstupy
D	C	Q
0	↑	0
1	↑	1

Tab. 1 Chování klopného obvodu FD

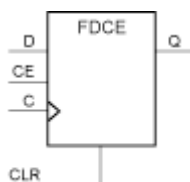
Klopný obvod FDC**Obr. 21** Symbol klopného obvodu FDC

Z anglického „D Flip – Flop with Asynchronous Clear“, tedy D – klopný obvod s CE a asynchronním mazáním.

Vstup *CLR* slouží k vymazání výstupu, a to bez ohledu na všechny ostatní vstupy.

Vstupy			Výstupy
CLR	D	C	Q
1	X	X	0
0	D	↑	D

Tab. 2 Chování klopného obvodu FDC

Klopný obvod FDCE**Obr. 22** Symbol klopného obvodu FDCE

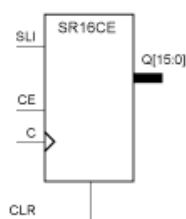
Z anglického „D Flip – Flop with Clock Enable and Asynchronous Clear“, tedy D – klopný obvod s CE a asynchronním mazáním.

Vstup *CE* (z anglického „Clock Enable“, tedy povolení hodin) slouží k blokování nebo povolení hodin obvodu.

Vstupy				Výstupy
CLR	CE	D	C	Q
1	X	X	X	0
0	0	X	X	Beze změny
0	1	D	↑	D

Tab. 3 Chování klopného obvodu FDCE

Posuvný registr SR16CE



Obr. 23 Symbol posuvného registru SR16CE

Z anglického „16 – Bit Serial – In Parallel – Out Shift Register with Clock Enable and Asynchronous Clear“, tedy 16 – ti bitový posuvný registr se sériovým vstupem a paralelním výstupem, s funkcí CE a asynchronním mazáním.

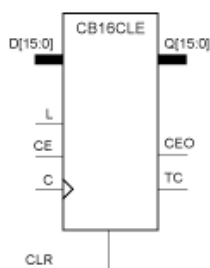
Tento blok je posuvný registr s „shift – left serial input“ (SLI), tedy doleva posunujícím sériovým vstupem, paralelními výstupy (Q0 až Q15), „clock enable“ CE a asynchronním mazáním výstupu (CLR). Data jsou zapisována s každou nástupnou hranou na vstupu hodin C. Nejprve se zapisuje nejvyšší bit, nakonec nejnižší bit čísla.

Vstupy				Výstupy	
CLR	CE	SLI	C	Q0	Q15 : Q1
1	X	X	X	0	0
0	0	X	X	Beze změny	Beze změny
0	1	SLI	↑	SLI	qn - 1

Tab. 4 Chování posuvného registru SR16CE

$qn - 1$ = stav buňky o jeden takt hodin (C) dříve

Čítač CB16CLE



Obr. 24 Symbol čítače CB16CLE

Z anglického „16 – Bit Loadable Cascadable Binary Counter with Clock Enable and Asynchronous Clear“, tedy 16 – ti bitový přednastavitelný kaskádovatelný binární čítač s CE a asynchronním mazáním.

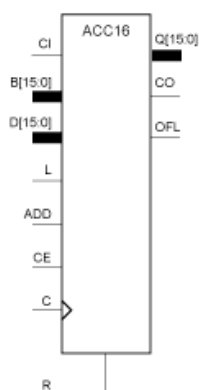
Přednastavení se provádí přivedením logické jedničky na vstup L. Zároveň se musí na vstupu hodiny (C) objevit náběžná hrana. Pak se vstupní data D zapíší na výstup Q čítače. Výstup TC (z anglického „terminal count“, tedy stav, kdy je v registru nejvyšší číslo značí přetečení čítače. Výstup CEO lze použít ke kaskádování čítačů, to však zde využito není. Čítání se provádí každou nástupnou hranou hodin C, pokud jsou hodiny povoleny signálem CE.

Vstupy					Výstupy		
CLR	L	CE	C	D15 : D0	Q15 : Q0	TC	CEO
1	X	X	X	X	0	0	0
0	1	X	↑	Dn	Dn	TC	CEO
0	0	0	X	X	Beze změny	Beze změny	0
0	0	1	↑	X	Inc	TC	CEO

Tab. 5 Chování čítače CB16CLE

$$TC = Q_z \cdot Q_{(z-1)} \cdot Q_{(z-2)} \cdot \dots \cdot Q_0; CEO = TC \cdot CE$$

Akumulátor ACC16



Obr. 25 Symbol akumulátoru ACC16

Z anglického „16 – Bit Loadable Cascadable Accumulator with Carry – In, Carry – Out and Synchronous Reset“, tedy 16 – ti bitový přednastavitelný kaskádovatelný akumulátor s vstupním i výstupním přenosem a synchronním resetem.

Tento blok umí přičíst nebo odečíst 16 – ti bitové bezznaménkové binární číslo B od čísla ve výstupním registru Q a výsledek opět uložit do výstupního registru. Signál ADD určuje, zda se má přičítat nebo odečítat, operace pak probíhá při každé nástupné hraně hodin C , pokud jsou povoleny signálem CE . Výstupní registr může být přednastaven hodnotou D signálem L a nástupnou hranou hodin C . Vstup CI slouží jako přenos z nižšího řádu, výstup CO pak jako přenos do vyššího řádu. Výstup OFL signalizuje přetečení vnitřního registru. Obvod je možné resetovat synchronně s hodinami C signálem R .

Vstupy						Výstupy
R	L	CE	ADD	D	C	Q
1	x	x	x	x	↑	0
0	1	x	x	Dn	↑	Dn
0	0	1	1	x	↑	$Q_0 + B_n + CI$
0	0	1	0	x	↑	$Q_0 - B_n - CI$
0	0	0	x	x	↑	Beze změny

Tab. 6 Chování obvodu akumulátoru ACC16

Q0: Předchozí hodnota Q

Bn: Hodnota datového vstupu B

CI: Hodnota vstupu CI

RS klopný obvod

RS klopný obvod na **Obr. 28** je navržen jako synchronní. To zajišťují D – klopné obvody na vstupu R - reset (U22) i S – set (U21). Funkci samotného paměťového obvodu zajišťuje hradlo OR U23, invertor U24 a hradlo AND U25. Tímto zapojením je také zajištěna reset priorita klopného obvodu. Obvod se chová podle následující pravdivostní tabulky:

R	S	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	0

Tab. 7 Pravdivostní tabulka RS klopného obvodu s reset prioritou

POPIS ZAPOJENÍ LOGICKÉHO OBVODU PRO GENEROVÁNÍ LICH. PRŮBĚHU

Následující odstavce popisují chování a princip funkce logického obvodu, který slouží ke generování lichoběžníkového průběhu. Schéma tohoto obvodu je na **Obr. 28**. Výše zmíněné obvody FD, FDC a FDCE se liší pouze přítomností vstupů CE a CLR. Principiálně však tyto obvody fungují shodně, v následujícím textu tedy budou pro zjednodušení nazývány shodně, tedy D – klopný obvod.

Posuvné registry

V zapojení jsou použity tři 16 – ti bitové posuvné registry SR16CE. Vstupy CE a hodiny C jsou spojeny paralelně a vyvedeny na vnější piny hradlového pole jako vstupy *ser. CE* a *ser. hodiny*. Datový vstup SLI posuvného registru U31 je také vyveden a to jako vstup *ser. data*. SLI vstup registru U32 je připojen na poslední (15.) bit výstupu prvního posuvného registru. Obdobně je zapojen vstup registru U33. Posuvné registry jsou tedy zapojeny kaskádně. Zápis do nich se provádí jednou 48 – bitovou sekvencí. První registr obsahuje číslo počet kroků, druhý velikost kroku a třetí výchozí hodnotu.

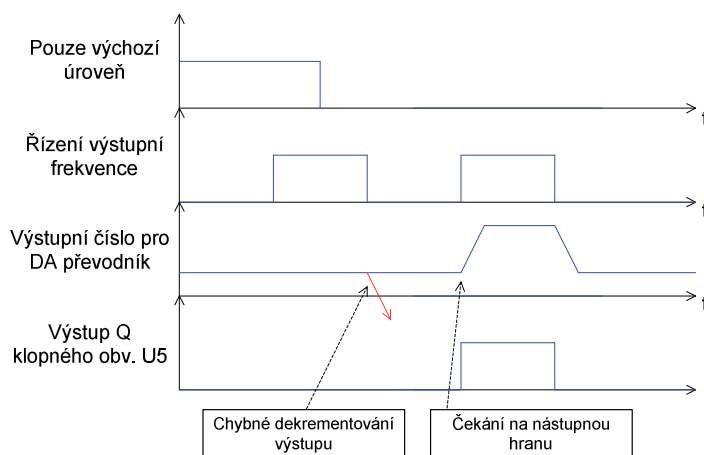
RS klopný obvod

RS klopný obvod udává svým výstupem, zda je povoleno čítání a provádí se nástupná či sestupná hrana (logická 1), nebo je zakázáno a je udržována konstantní výchozí nebo horní hodnota (výstup v logické 0). RS klopný obvod je navržen je synchronní s *hlavními hodinami*. Je důležité, aby měl RS klopný obvod reset prioritu. Tak je zajištěno, že při požadavku na zastavení čítání a generování pouze konstantní výchozí úrovně, kdy je na vstup reset přivedena logická 1, jsou ignorovány pulzy na set vstupu. Klopný obvod lze resetovat dvěma způsoby. Buď přivedením logické 1 na vnější vstup *pouze výchozí úroveň* nebo přetečením čítače, který nastaví do logické 1 signál TC. Sloučení těchto dvou signálů je provedeno hradlem OR U20. Výstup klopného obvodu je nastavován do logické 1 blokem detekce nástupné a sestupné hrany. Sloučení obou signálů je provedeno hradlem OR U14.

Blok čekání na nástupnou hranu

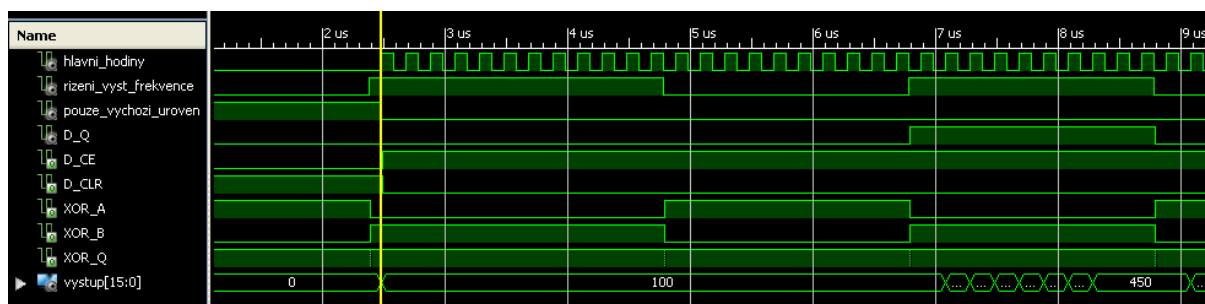
Vnější vstup *řízení výstupní frekvence* je třeba ošetřit blokem čekání na nástupnou hranu. To je pro případ, kdy je generována pouze výchozí hodnota, je tedy aktivní signál *pouze výchozí úroveň*. V případě, že k ukončení tohoto signálu dojde ze stavu logické 1 signálu *řízení výstupní frekvence*,

došlo by při následné sestupné hraně k dekrementování od výchozí úrovně, což by bylo chybné. Tuto hranu je třeba ignorovat a počkat až na nástupnou hranu signálu řízení výstupní frekvence, aby bylo zahájeno inkrementování od výchozí úrovně.



Obr. 26 Funkce bloku čekání na nástupnou hranu

Vstupy tohoto bloku jsou signály *pouze výchozí úroveň* a *řízení výstupní frekvence*. Výstupem je signál *Q* z D - klopného obvodu U5.



Obr. 27 Simulace obvodu čekání na nástupnou hranu

Hradlo XOR U4 s invertory U1 až U3 dává okamžik po každé nástupné i sestupné hraně signálu *řízení výstupní frekvence* pulz pro hodinový vstup D – klopného obvodu U5. Na tento povel je zapsána aktuální hodnota signálu *řízení výstupní frekvence* na výstup obvodu U5. Tento zápis je však podmíněn stavy vstupů CE a CLR. Jelikož je vstup CLR připojen přímo na signál *pouze výchozí úroveň* v logické 1, výstup D – klopného obvodu U5 nastaven do logické 1. Následnou sestupnou hranou bude na výstup D – klopného obvodu zapsána logická 0, ta však na výstupu již byla, takže nedochází k žádné změně. Následující pulzy ze vstupu *řízení výstupní frekvence* již nejsou ignorovány a tak výstup D – klopného obvodu U5 s malým zpožděním kopíruje signál *řízení výstupní frekvence*.

Blok vytváření pulzu pro start čítání

Čítání je třeba zahájit po příchodu nástupné i sestupné hrany signálu řízení výstupní frekvence. Reakci na nástupnou hranu zajišťuje D – klopný obvod U13 s invertory U11 a U12. Výstup obvodu U13 je nastaven příchodem náběžné hrany signálu *řízení výstupní frekvence* se zpožděním způsobeným dvěma invertory. Obdobně funguje D – klopný obvod U10, avšak invertor U7 způsobí,

že tento reaguje na sestupnou hranu. Výstup obou obvodů je sloučen OR hradlem U14. Generovaný impuls nastaví výstup RS – klopného obvodu do logické 1, ale až s nástupnou hranou *hlavních hodin* (RS KO je synchronní). Tento signál poté projde přes OR hradlo U17 na *CLR* vstupy obvodů U10 a U13, čímž je vymaže. Takto byl vygenerován krátký pulz pro spuštění čítání – viz **Obr. 29** (signál „set_rs“).

Čítač kroků

Čítač kroků U19 slouží k definování počtu kroků (počtu inkrementování výstupního čísla o hodnotu B) během nástupné a sestupné hrany. Během klidové doby, kde se nečítá a RS – klopný obvod je v logické 0, je přes invertor U18 přiveden signál *L* („load“). Ten způsobí, že do čítače je synchronně s *hlavními hodinami* nahrávána hodnota počet kroků uložená v posuvném registru U31. Toto nahrávání se děje opakovaně po celou „klidovou“ dobu. To je sice zbytečné, avšak není to ani na závadu. Po nastavení RS – klopného obvodu čítá čítač od přednastavené hodnoty dané číslem v registru U31 do doby, než přeteče, čímž generuje signál *TC*. Ten pak resetuje RS – klopný obvod a tím zastaví další čítání. Číslo v registru U31 musí mít velikost podle rovnice (4.18).

Akumulátor (sčítačka)

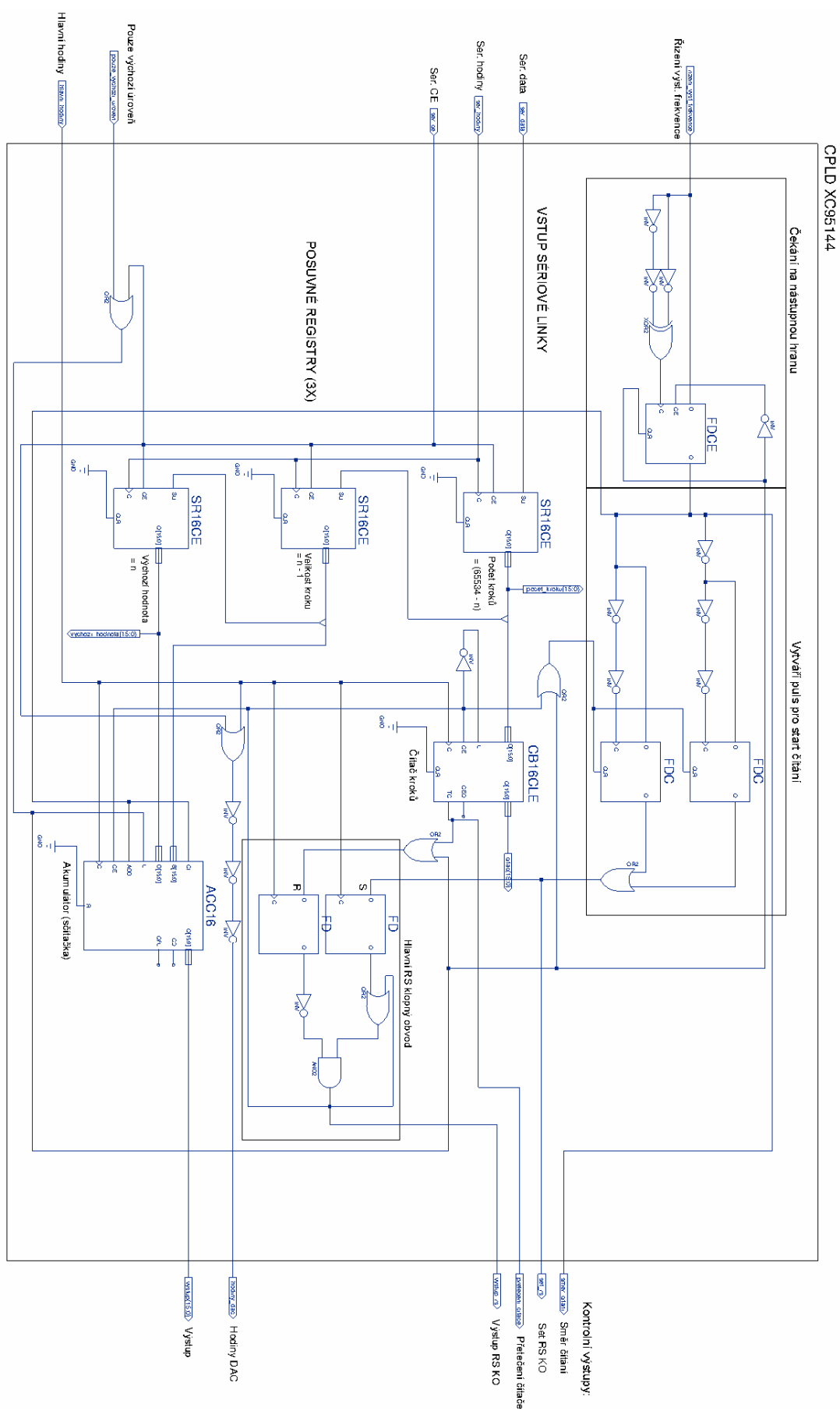
Akumulátor U30 má vstup CE připojen na výstup RS – klopného obvodu, podle jeho stavu tedy provádí synchronně s *hlavními hodinami* inkrementování (dekrementování) výstupního čísla, nebo je v klidovém stavu, kdy udržuje poslední vypočtenou hodnotu. Velikost kroku je dána číslem v registru U32. Vstupem ADD se nastavuje, zda se přičítá nebo odečítá. Již v simulaci však bylo odhaleno, že obvod se nechová podle předpokladů, totiž že zatímco odečítání probíhá korektně o číslo přivedené na vstup B, při přičítání se výstup inkrementuje o číslo $B - 1$. Tato situace byla vyřešena přivedením signálu ADD zároveň do vstupu CI, což je přenos z nižšího řádu. Tak se hodnota B při přičítání zvýší o jednu a krok je shodný pro přičítání i odečítání.

Do obvodu akumulátoru U31 je také přivedeno číslo výchozí hodnota z registru U33. Tu lze načíst signálem *L* a nástupnou hranou hodin *C* načíst na výstup akumulátoru. To je zde využito pro definování výchozí úrovně.

Ostatní hradla

Logický obvod také generuje signál hodin pro DA převodník převádějící výstupní číslo. Tento signál je veden z hlavních hodin přes OR hradlo U26 a invertory U27 až U29. Ty zajišťují vhodné časování hodinového signálu. Hradlo U26 slouží k zablokování hodin při přepisu dat v sériových registrech. Při zápisu by docházelo k náhodnému chování logického obvodu vlivem nedefinovaného stavu čísel v posuvných registrech. Takto je přerušen hodinový signál pro DA převodník a ten si pamatuje poslední číselnou hodnotu (má paměť), než začal sériový zápis.

Signál *pouze výchozí úroveň* se využije při požadavku na generování konstantního výstupního čísla, které však lze nastavit. K tomu je určena výchozí hodnota v registru U33. Signál *L* akumulátoru je aktivní a proto je s rytmem *hlavních hodin* přepisováno číslo D na výstup akumulátoru. Zároveň je neustále resetován RS – klopný obvod (má prioritu reset).



Obr. 28 Schéma zapojení logického obvodu pro generování lichoběžníkového průběhu

4.4.1.2. Simulace navržené logiky v prostředí ISim

Součástí programu Xilinx ISE je také prostředí ISim, kde lze simulovat chování navrženého obvodu. Lze zvolit simulaci, která simuluje pouze logické chování obvodu, nebo simulaci, která bere v potaz i zpoždění jednotlivých hradel. Ta v podstatě odpovídá reálnému chování obvodu, proto bude zvolena právě tato simulace. Zde bude popsán pouze výsledek simulace, podrobný návod na práci v programu Xilinx ISE včetně vytvoření simulace lze najít v [15].

Vstupy zde jsou *sériová linka*, signál *pouze výchozí hodnota*, *hlavní hodiny* o taktu 8 MHz a signál *pro řízení výstupní frekvence*, ten zvolíme pro přehlednost simulace jako desetinu hlavních hodin, tedy 1 MHz.

Obvod může fungovat až po nahrání dat přes sériovou linku. Na začátku simulace je tedy nastaven signál *pouze výchozí úroveň* do logické 1. Aby se vyresetoval hlavní RS KO, musí následovat takt *hlavních hodin* (obvod je synchronní). Nyní je čítání zakázáno.

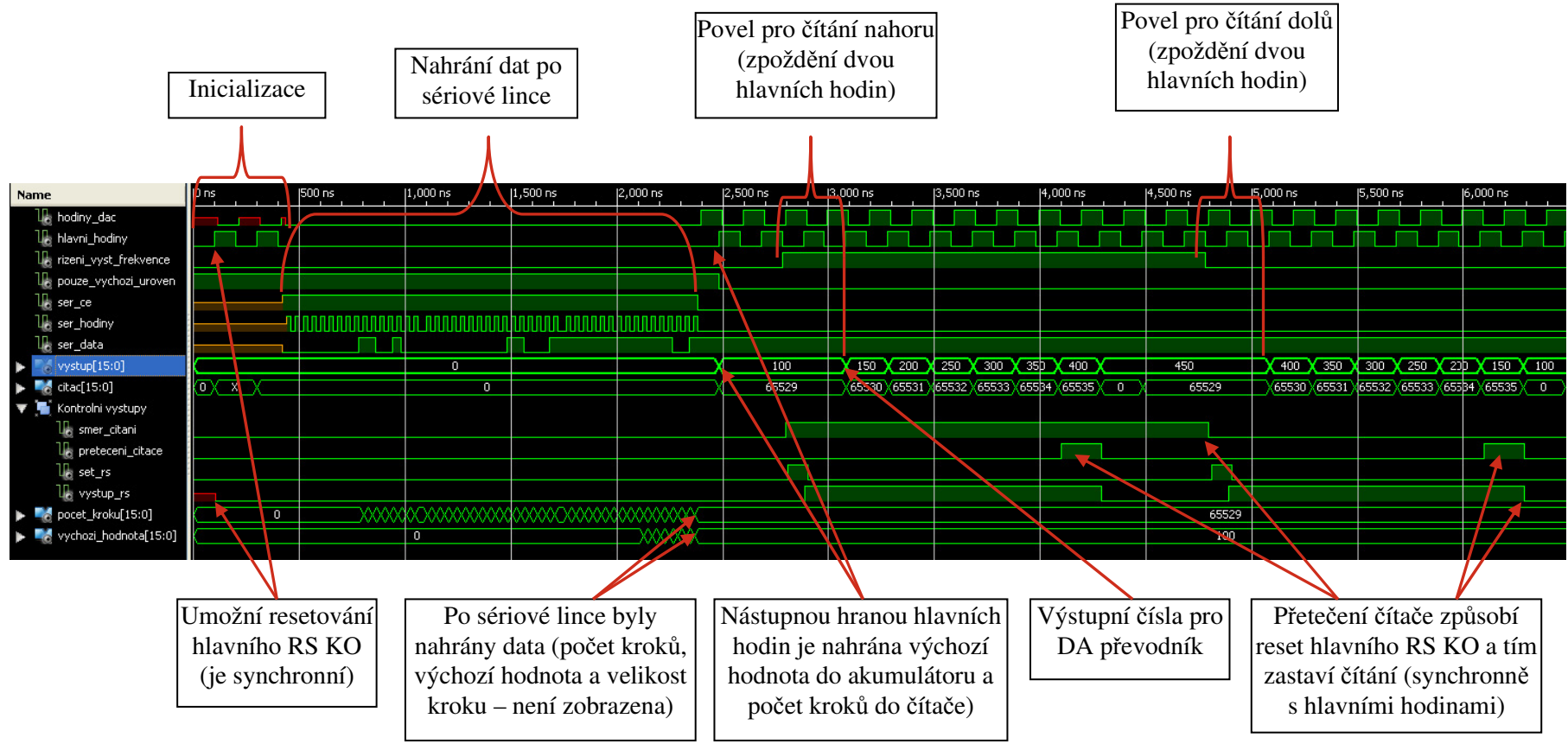
Po sériové lince se musí nahrát tři 16 – ti bitové čísla v tomto pořadí: výchozí hodnota, velikost kroku a počet kroků. U čísla velikost kroku a počet kroků je však potřeba přepočíst žádané hodnoty na čísla, která budou skutečně nahrána do posuvných registrů. Přepočet počtu kroků vyplývá z funkce čítače, který čítá od před – nahrané hodnoty do přetečení. Skutečně zapisované číslo je tedy potřeba přepočíst podle vzorce (4.18). Velikost kroku musí být také upravena, jak bylo zmíněno v kapitole 4.4.1.1. Pro zapsání všech dat je potřeba 48 taktů hodin sériové linky. Ta však může pracovat na velmi vysoké frekvenci – v simulaci je použito 25 MHz, takže celý zápis trvá necelé dvě mikrosekundy. Po jeho dokončení jsou v jednotlivých posuvných registrech uložena přijatá čísla podle Tab. 8.

Číslo	Žádaná hodnota	Přepočet	Zapisovaná hodnota
Výchozí hodnota (Vych)	100	$Vych_z = Vych_{\bar{z}}$	100
Velikost kroku (Vel)	50	$Vel_z = Vel_{\bar{z}} - 1$	49
Počet kroků (Poc)	7	$Poc_z = 65536 - Poc_{\bar{z}}$	65529

Tab. 8 Tabulka žádaných a zapisovaných čísel do hradlového pole

V simulaci jsou zobrazeny pouze počet kroků a výchozí hodnota. Hodnota velikosti kroku není zobrazena, avšak v obvodu nahrána je.

Obvod je tedy připraven k čítání. Po příchodu logické 1 signálu *řízení výstupní frekvence* se čeká na synchronizaci *hlavními hodinami*. Poté je hlavní RS KO nastaven a je povoleno čítání. To nastává s další hranou *hlavních hodin*. Výstup je inkrementován s každým taktem hlavních hodin o hodnotu rovnou nahrané velikosti kroku. Zároveň se inkrementuje čítač a po dosažení hodnoty přetečení vydává signál *přetečení čítače*. Tímto signálem je resetován hlavní RS KO a zastaveno další čítání. Čeká se na příchod logické 0 signálu *řízení výstupní frekvence*. Tím se čítání opakuje s tím rozdílem, že výstup není inkrementován ale dekrementován o hodnotu rovnou velikosti kroku. Výsledkem tedy průběh s výchozí hodnotou 100 a horní hodnotou 450. Přejít mezi těmito úrovněmi je uskutečněn sedmi kroky o velikosti 50.



Obr. 29 Průběh „Post – Fit“ simulace hradlového pole v programu Xilinx Isim

4.4.2. Vnější schéma zapojení hradlového pole

Vnější zapojení hradlového pole je zřejmé z obrázku **Obr. 17**. Hradlové pole je napájeno napětím 3,3 V, stejně jako digitální část převodníku a také mikrokontroler. Je tak zaručena napěťová kompatibilita mezi vstupy a výstupy. Napájení hradlového pole je vyvedeno celkem na sedm vývodů a u každého jsou blokovací kondenzátory. To je nezbytné u logického obvodu s tak vysokým počtem hradel k pokrytí proudových špiček.

Na piny 45 (TDI), 47 (TMS), 48 (TCK) a 83 (TDO) je připojen konektor JTAG programovacího rozhraní. Ten má deset pinů a kromě zmíněných signálů na něj je přivedeno také napětí +5 V a zem. Zbylé čtyři piny jsou nezapojené.

Piny 90 až 97 jsou připojeny na konektor JP2. Zde jsou vyvedeny pouze pomocné kontrolní výstupy: *směr čítání* (JP2.1), *set RS KO* (JP2.3) a *přetečení čítače* (JP2.5). Na pin 89 je vyveden signál *výstup RS KO* a jeho stav je indikován SMD diodou LED2.

Vstupy hradlového pole tvoří sériová linka se signály *ser. CE* (17), *ser. data* (18) a *ser. hodiny* (19). Dále je zde vstup *pouze výchozí úroveň* (20). Signál *řízení výstupní frekvence* je pájecí propojkou připojen na pin 23 (Globální hodiny 2). Jelikož bylo při testování využito obyčejného I / O vývodu, v případě problémů lze tento signál připojit i na obyčejný I / O pin 25. To samé platí o signálu *hlavní hodiny*. Ten lze přivést na pin 22 (Globální hodiny 1), případně 24. Signál *hlavní hodiny* se posílá i do mikrokontroleru, kde je využit jako vstup do čítače generujícího signál *řízení výstupní frekvence*. Tyto signály musí být synchronizovány, aby se zabránilo nekontrolované změně šířky pulzu o jeden takt hlavních hodin (0,125 μ s). To je sice minimální chyba, ovšem na osciloskopu se toto projeví jako dvě čáry na nástupné (nebo sestupné) hraně generovaného signálu, což je nežádoucí.

Jako zdroj frekvence pro signál *hlavní hodiny* je pájecí propojkou SJ7 vybrán signál *STM_MCO*, který přivádí takt oscilátoru z mikrokontroléru. Ten má frekvenci 8 MHz. Případně lze propojkou SJ7 vybrat výstup samostatného oscilátoru IC11.

Piny 6, 7 a 8 (signály *rezerva 1, 2 a 3*) jsou propojeny na piny mikrokontroléru a slouží jako záložní v případě úprav.

Logika uvnitř hradlového pole poskytuje 16 – ti bitový výstup. DA převodník je však pouze 14 – ti bitový. Pro výstup je tedy využito 14 pinů (59 až 74 vyjma zemí). Pro DA převodník jsou také vyvedeny hodiny – signál *hodiny DA* na pinu 76.

Okolo hradlového pole je tedy minimum vnějších součástek potřebných pro jeho funkci.

4.5. Ovládací prvky

Jako ovládací prvky slouží tlačítka a otočný enkodér. Informace z těchto prvků zpracovává mikrokontrolér.

4.5.1. Tlačítka

Okolo displeje je umístěno deset tlačítek. Jsou zobrazeny ve schématu na **Obr. 30**. Každé z tlačítek je přivedeno zvlášť na port mikrokontroleru. Ošetření zákmitů je provedeno softwarově. Odporů R54 až R64 nejsou osazeny, neboť jsou v mikrokontroleru zapnuty interní „pull – up“ odpory. Funkci jednotlivých tlačítek popisuje **Tab. 9**.

Tlačítko	Popis funkce
TL0	Výchozí úroveň I_{IN}
TL1	Frekvence I_{IN}
TL2	Šířka pulzu I_{IN}
TL3	Dynamické vylepšení ON / OFF
TL4	Konstantní / pulzní I_{IN}
TL5	Rozsah I_{IN} 1 A nebo 10 A
TL6	Vypnutí / zapnutí zátěže
TL7	Kalibrace
TL8	Nástupná a sestupná hrana I_{IN}
TL9	Horní úroveň I_{IN}

Tab. 9 Funkce tlačítek

4.5.2. Otočný enkodér

Tento blok zde slouží k zadávání a změně číselných hodnot parametrů vstupního proudu zátěže. Na **Obr. 30** je otočný enkodér označen jako blok U2. Jelikož je toto hlavní zadávací prvek celé zátěže, byl z důvodu vyšší životnosti zvolen optický typ (Grayhill 62P). Enkodér obsahuje zabudované tlačítko, které se spíná přitlačením na ovládací knoflík. Jeho stiskem se mění velikost kroku nastavovaného parametru. Zapojení enkodéru je provedeno dle katalogového doporučení [14]. Výstupem z enkodéru je tedy signál sepnutí tlačítka a obdélníkové signály A a B, které svou frekvencí a vzájemným posuvem reagují na otáčení enkodérem. Všechny tyto signály jsou zpracovány mikrokontrolérem.

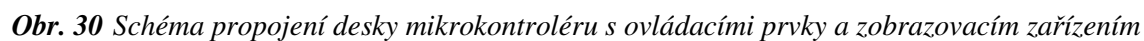
4.6. Mikrokontrolér

V kapitole 3.2.3 byl jako mikrokontrolér zvolen typ STM32F372 [11]. Jelikož je MCU pouze nutný prostředek k ovládání samotné zátěže, je jeho popis proveden pouze velmi stručně.

4.6.1. Hardwarové vybavení

Pro své MCU má firma ST Microelectronics vyvinuty také vývojové desky, tzv. „discovery kit“. Je to plošný spoj osazený daným mikrokontrolérem, navíc je vybavený USB rozhraním ke komunikaci s PC. Všechny vývody MCU jsou vyvedeny na pinové lišty. Je vyvedeno taktéž napájení. Tento „discovery kit“ tedy lze snadno implementovat na základní desku. Tak je to provedeno i zde. Byl zvolen discovery kit STM32F3DISCOVERY [13]. Problém je, že je osazen mikrokontrolérem STM32F303, který neobsahuje 16 – ti bitový AD převodník (ten bude využit pro kalibrování zátěže). Výše zmíněný MCU STM32F372 je však pinově kompatibilní, lze jej tedy napájet místo stávajícího MCU.

Vývojový kit je součástí schématu na **Obr. 30** a je označen jako U3. Se základní deskou je spojen dohromady 104 – mi piny. Pro jeho funkci je potřeba přivést pouze napájení + 5 V skrze piny 5V_1 a 5V_2. Deska totiž obsahuje svůj stabilizátor napětí 3,3 V.



Pro pochopení funkce by bylo zbytečné zde vypisovat konkrétní piny, kde jsou připojeny které signály. Popis tedy bude pouze zjednodušený. Na piny MCU je přes pájecí propojku SJ10 přivedeno vnější referenční napětí 1,25 V. To je vyfiltrováno kondenzátory C53 a C54 a slouží jako reference pro vnitřní 16 – ti bitové sigma – delta převodníky. Hardwarově je přichystáno měření vstupního proudu a napětí zátěže a teploty výkonového MOSFET tranzistoru. Všechna měření jsou diferenční. Měření vstupního napětí zátěže je provedeno pomocí signálů U_{VYSTUP_NEG} a U_{VYSTUP_POS} (viz 4.2.2.6). Měření teploty je realizováno teplotním čidlem KTY84 napájeným přes odpor R67 z referenčního napětí a je vztaženo k signálové zemi. Měření vstupního proudu zátěže se provádí na snímacích odporech v cestě vstupního proudu. Napětí snímané na těchto odporech je přivedeno vodiči GND_SIG a I_SENSE. Žádné z těchto měření však není softwarově implementováno. Pouze měření vstupního proudu je použito pro funkci kalibrování.

Důležitými výstupy MCU jsou signály pro hradlové pole (CPLD). Sériovou linku, pomocí které se vysílají čísla výchozí hodnota, počet kroků a velikost kroku, tvoří signály *SER_CE*, *SER_DATA* a *SER_CE*. Dále je to signál *STM_MCO*, který je zdrojem *hlavních hodin* o frekvenci 8 MHz pro CPLD, signál *řízení výstupní frekvence* a signál *pouze výchozí úroveň*. Funkce těchto signálů je popsána v kapitole 4.4.1. Navíc je zde vstup *hlavní hodiny*, který by byl použit pro synchronizaci časovače v MCU v případě použití externího oscilátoru např. při požadavku vyšší vzorkovací frekvence logického obvodu v hradlovém poli. Proč je tato synchronizace důležitá je zmíněno v kapitole 4.4.2. Výstup *DA_OFF* složí k odstavení DA převodníku, což se používá pro vypnutí zátěže. Při signálu *DA_OFF* v logické 1 je výstupní proud I_{OUT1} DA převodníku nulový, nulový je tedy i řídicí proud I_R (viz Obr. 12), řídicí napětí U_R má tedy zápornou hodnotu přibližně – 32 mV, takže výstupní MOSFET tranzistor je spolehlivě zavřený. Výstup *ROZSAH_10A* a *DYN_VYLEPSENI* vedou do bloku aktivní zátěže s výkonovým tranzistorem a slouží pro řízení příslušných funkcí. Signály *REZERVA_1* až *REZERVA_3* jsou pouze záložní a zde nevyužité.

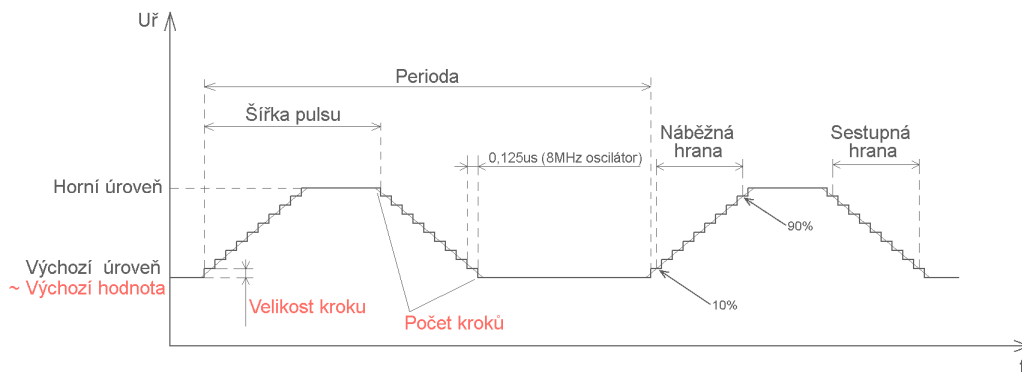
4.6.2. Programové vybavení

Program byl vytvořen a odladěn v prostředí Atollic TrueSTUDIO for ARM Lite [16]. Program je psán v jazyce C a obsahuje přes tisíc řádků kódu. K nahlédnutí je v elektronické příloze této práce. Je potřeba zmínit, že podprogram pro obsluhu grafického displeje poskytl Ing. Ivan Mikšánek. Zápis na displej díky tomuto podprogramu probíhá pomocí jednoduchých příkazů.

Vývojový diagram programu je zřejmý z Obr. 32. Stiskem tlačítek TL0, TL1, TL2, TL8 a TL9 se volí, který parametr vstupního proudu bude nastavován otočným enkodérem. Tlačítka TL3, TL4, TL5 a TL6 se zapínají a vypínají příslušné funkce. Tlačítko TL10 je umístěno na hřídeli enkodéru a slouží pro změnu kroku nastavovaných parametrů. Velikost kroku je uložena zvlášť pro každý parametr. Tlačítkem TL7 se provádí kalibrace vstupního proudu. Pro úspěšné zkalibrování je nutné připojit na vstup zátěže napětí alespoň 0,2 V, nebo vstup zkratovat a zapnout funkci dynamického vylepšení. I když je kalibrace automatická, dlouhým stiskem tlačítka TL7 lze kalibrační hodnotu ručně změnit.

Změna číselné hodnoty zvoleného parametru se obvykle provádí otočením enkodéru. Pro základní automatizaci měření pomocí této zátěže lze použít externí vstup EXT_TRIG (port PD1 MCU). S každou nástupnou hranou tohoto signálu je simulováno otočení enkodérem o jeden krok dolů. Po otočení enkodérem ať už skutečném, nebo simulovaném se zjistí, který parametr je vybrán. Pokud je to frekvence nebo šířka pulzu vstupního proudu, spočtou se příslušné hodnoty (jako součin počtu kroků, o které byl otočen enkodér, a nastavené velikosti kroku) a upraví se jimi nastavení

časovače v MCU. Žádaná hodnota výchozí a horní úrovně a délky hrany nástupné a sestupné hrany je vytvořena obdobně. Následovat však musí přepočty těchto čísel na hodnoty pro hradlové pole (CPLD). Nejdříve se vypočte počet kroků, ten je totiž přímo úměrný žádané délce nástupné a sestupné hrany a vzorkovací frekvenci. Standardně se délka náběžné (sestupné) hrany definuje od 10 % do 90 % úrovně skoku – viz **Obr. 31**.



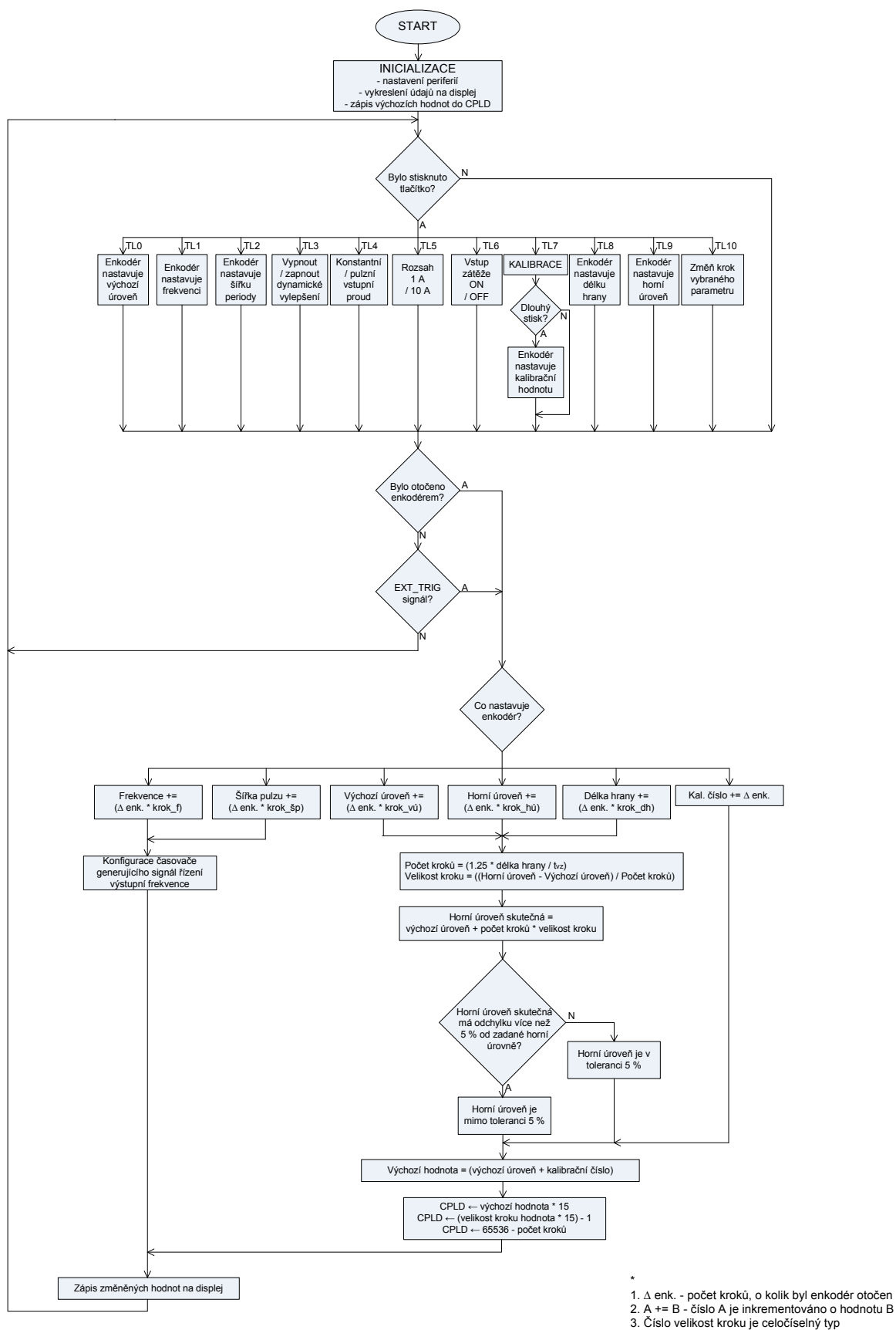
Obr. 31 Princip přepočtu žádaných parametrů průběhu vstupního proudu na hodnoty pro hradlové pole s respektováním standardního měření délky nást. a sest. hrany

Žádanou hodnotu délky hrany je tedy potřeba vynásobit číslem $h = 1,25$:

$$h = \frac{1}{0,9 - 0,1} = \underline{\underline{1,25}} \quad (4.19)$$

Jelikož je zvolen oscilátor 8 MHz, odpovídá nástupné hraně o délce 1 μ s právě 10 kroků.

Velikost kroku je potom dána rozdílem mezi horní a výchozí úrovní vydělenou počtem kroků. Jelikož číslo počet velikost kroku může vycházet desetinné a akceptovatelné je pouze celé číslo, vzniká chyba velikosti horní úrovně. To se však projevuje pouze u malých skoků s dlouhou dobou hran. Pokud je tato chyba větší, než 5 %, je na to upozorněno na displeji. Následuje zápis čísel výchozí hodnota, počet kroků a velikost kroku do hradlového pole. Ty je ovšem ještě nutné přepočíst, jak bylo zmíněno v **Tab. 8**. Hodnoty je navíc nutno vynásobit číslem 15, neboť 1 mA odpovídá právě číslu 15 (viz **4.3**). Výchozí hodnota je ještě posunuta o kalibrační číslo (offset). Nakonec se změněné parametry zapíší na displej.

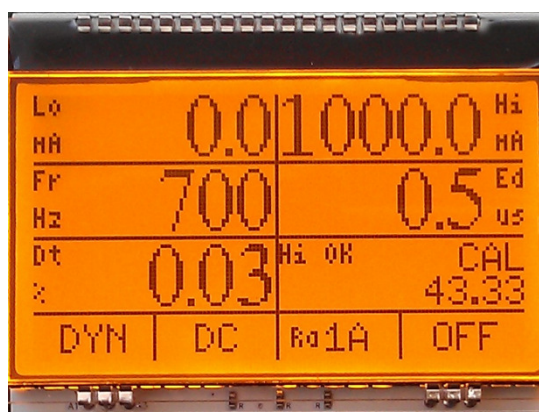


Obr. 32 Vývojový diagram programu v mikrokontroléru

4.7. Zobrazovací zařízení

Je použit grafický displej firmy Electronic Assembly, typ DOGL128W-6. Displej má rozlišení 128 x 64 bodů a viditelná zobrazovací plocha má rozměr 64 x 36 mm. Vnější zapojení je zřejmé z **Obr. 30**. Displej je zapojen dle katalogového doporučení a ke své funkci potřebuje jen minimum vnějších součástek. Data se do něj zapisují po sériové lince z MCU. Je vybaven podsvitem EA LED68X51-A [17]. Podsvit je složen ze tří samostatně vyvedených skupin LED diod. Jelikož je na desce k dispozici napětí 12 V, jsou tyto skupiny diod zapojeny sériově a proud jimi je řízen proudovým zdrojem s tranzistory T21 a T22. Proud diodami I_p je nastaven přibližně na 43,3 mA.

$$I_p = \frac{U_{BEON}(T21)}{R43} = \frac{0,65}{15} = 0,0433 = \underline{\underline{43,3 \text{ mA}}} \quad (4.20)$$



Obr. 33 Grafický displej

Popisky na displeji jsou anglické zkratky nastavovaných parametrů a funkcí. „Lo“ je výchozí úroveň vstupního proudu I_{IN} [mA], „Hi“ horní úroveň I_{IN} [mA], „Fr“ frekvence [Hz], „Ed“ délka nástupné a sestupné hrany [μs] a konečně „Dt“ šířka pulzu vstupního proudu I_{IN} [%]. Je zde také okno kalibrace „CAL“, kde je uvedeno použité kalibrační číslo (offset) a zda je horní úroveň v toleranci $\pm 5 \%$ nebo mimo ni (viz 4.6.2). Nápis „DYN“ indikuje aktivaci dynamického vylepšení invertováním podkladu. Nápis „DC“ indikuje opět invertováním podkladu, zda je vstupní proud konstantní (nebo pulzní). Nápis „Ra1A“ je zobrazen v případě zvoleného rozsahu vstupního proudu 1 A, v případě rozsahu 10 A je zobrazeno „Ra10A“. A konečně nápis „OFF“ opět invertováním podkladu indikuje, zda je zátěž vypnuta (je zavřen výkonový MOSFET tranzistor).

4.8. Napájecí část

Z **Obr. 34** je zřejmé, že napájení zátěže je provedeno externím síťovým adaptérem 12 V / 1,5 A. Tak je zaručeno, že celé zařízení je napájené bezpečným nízkým napětím a je od střídavé sítě galvanicky odděleno. Toto galvanické oddělení je také nutné pro správnou funkci dynamického vylepšení (viz 4.2.2.5) a v případě zatěžování zdrojů záporného napětí. Zenerova dioda D4 (16V) chrání zátěž proti připojení špatné polaroty napětí nebo přepětí napájecího napětí + 12 V. Přítomnost tohoto napětí signalizuje dioda LED1.

Napájecí část zátěže poskytuje napětí pro digitální bloky + 5 V a + 3,3 V. Pro analogové bloky to jsou napětí + 12 V, + 6 V, − 5 V a referenční napětí + 1,25 V. Přímě z nestabilizovaného napětí

+ 12 V jsou buzeny MOSFET tranzistory T3, T4 a T5 (viz **Obr. 13**). Je to z důvodu dostatečného budícího napětí U_{GS} a tedy minimalizace jejich odporu kanálu v sepnutém stavu.

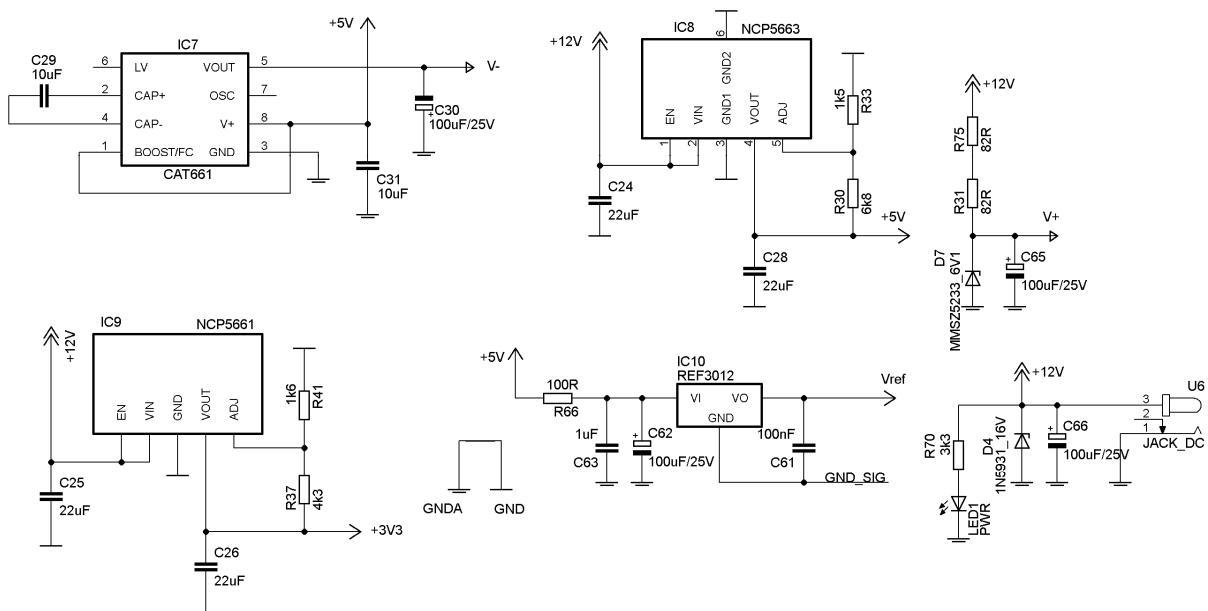
Napětí + 6 V je získáno parametrickým stabilizátorem napětí se zenerovou diodou D7. Je napájena přes sražecí odpory R31 a R75 z + 12 V. Jejich hodnota je zvolena dle výpočtu (4.21) za předpokladu odběru nejvýše $I_{+6VMAX} = 60 \text{ mA}$ z tohoto napájecího napětí.

$$R31 + R75 = \frac{V_{+12V} - V_{+6V}}{I_{+6VMAX}} = \frac{12 - 6}{0,06} = \underline{\underline{100 \Omega}} \quad (4.21)$$

V zájmu rovnoměrného rozdělení ztrátového výkonu budou sériově řazené odpory R31 a R75 zvoleny stejné hodnoty a to 51Ω . Napětí + 6 V je použito pro napájení operačního zesilovače IC1 a proudového konveju IC3 (viz **Obr. 13**). Je důležité, aby toto napětí nebylo nijak rušené, protože OZ IC1 je použit pro vytvoření záporného referenčního napětí -32 mV , které je přímo součástí řídicího napětí U_R . Hodnota + 6 V byla zvolena podle maximálního povoleného napájecího napětí proudového konveju IC3 [7], aby tento konveju dokázal vytvořit dostatečně vysoké napětí U_{GS} pro řízení výkonového MOSFET tranzistoru T1 (viz **Obr. 13**).

Napětí -5 V je vytvořeno nábojovou pumpou CAT661 (IC7). Ta zde funguje jako invertor napětí a je zapojena dle doporučení v katalogu [8]. Napětí na jejím výstupu je tedy ideálně -5 V . Toto napětí je použito opět k napájení OZ IC1 a proudového konveju IC3. OZ IC1 potřebuje záporné napájecí napětí, neboť je použit k vytvoření záporné reference. U proudového konveju je toto napětí nezbytné pro rychlé odsycování vstupní kapacity řízeného MOSFET tranzistoru T1.

Referenční napětí + 1,25 V je vytvořeno obvodem IC10 (REF3012). Vstupní napětí + 5 V pro tuto referenci je vyfiltrováno RC filtrem R66, C62 a C63. Zem reference je přivedena do společného uzlu všech zemí GND_SIG, což je podle **Obr. 13** místo, kde jsou připojeny snímací odpory na zem.



Obr. 34 Schéma zapojení napájecí části

Napětí + 5 V je vytvořeno rychlým stabilizátorem NCP5663 (IC8), ten je zapojen podle katalogového doporučení [10]. Jelikož jde o regulátor s nastavitelným výstupním napětím, je třeba podle rovnice (4.22) vypočítat zpětnovazební odpor R30. Odpor R33 je zvolen 1,5 kΩ.

$$R30 = R33 \cdot \left(\frac{V_{+5V}}{V_{REFINT}} - 1 \right) = 1500 \cdot \left(\frac{5}{0,9} - 1 \right) = 6833\Omega \approx \underline{\underline{6,8 \text{ k}\Omega}} \quad (4.22)$$

Napájecí napětí + 5 V slouží k napájení DA převodníku, desky mikrokontroléru STM32F372 a je také použito pro funkci dynamického vylepšení. Odběr z tohoto stabilizátoru je značný, proto je použit typ v pouzdru D2PAK a na plošném spoji je dostatečná plocha mědi, aby jeho ztrátový výkon vyzářila.

Napětí + 3,3 V je vytvořeno stabilizátorem NCP5661 (IC9). Ten je opět zapojen dle doporučení v katalogu. Jedná se o nastavitelný stabilizátor, zpětnovazební odpor R37 je dán rovnicí (4.23). Hodnota odporu R41 je zvolena 1,6 kΩ.

$$R37 = R41 \cdot \left(\frac{V_{+3,3V}}{V_{REFINT}} - 1 \right) = 1600 \cdot \left(\frac{3,3}{0,9} - 1 \right) = 4266\Omega \approx \underline{\underline{4,3 \text{ k}\Omega}} \quad (4.23)$$

ROZDĚLENÍ ZEMÍ

Jelikož deska plošných spojů sdružuje analogové a digitální obvody, musí být pečlivě provedeno zemnění. To je rozděleno na analogovou zem (symbol se dvěma vodorovnými čarami) a digitální (jedna vodorovná čára). Země jsou spojeny v jednom bodě – tzv. „COMMON GND“ (viz **Obr. 54**). Je to místo, kde jsou uzemněny snímací odpory v cestě vstupního proudu zátěže. Tento bod je brán jako referenční jak pro měření, tak i regulaci výstupního proudu. Sbíhají se do něj zvlášť analogová i digitální zem a jsou k němu vztaženy referenční napětí.

5. Měření parametrů zátěže

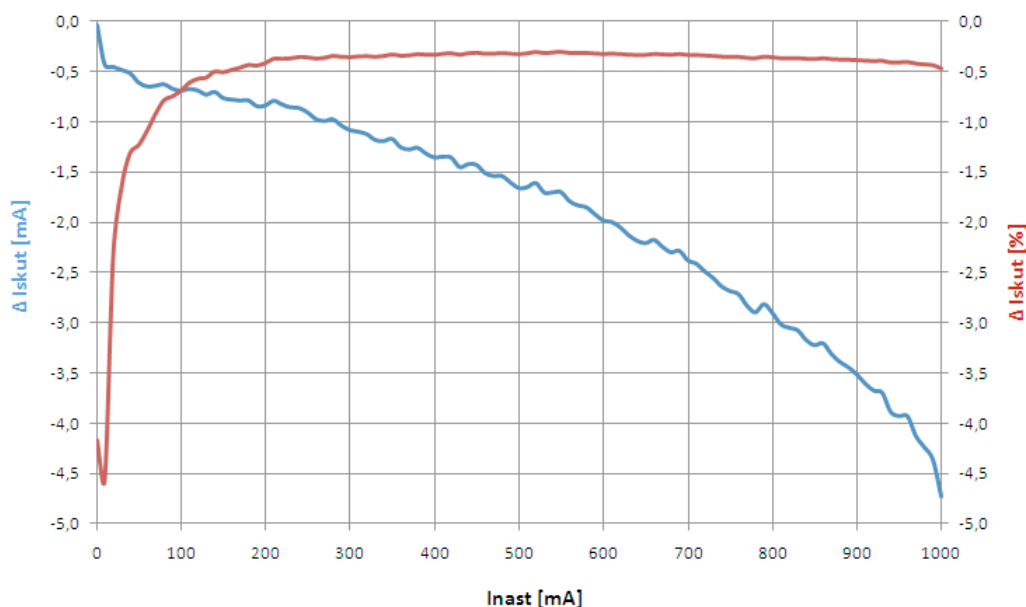
V této kapitole jsou formou grafů a průběhů uvedeny změřené statické a dynamické parametry zkonstruované zátěže.

5.1. Statické parametry

Statické parametry popisují statické chování zátěže, tedy přesnosti, minimální vstupní napětí pro daný proud atd.

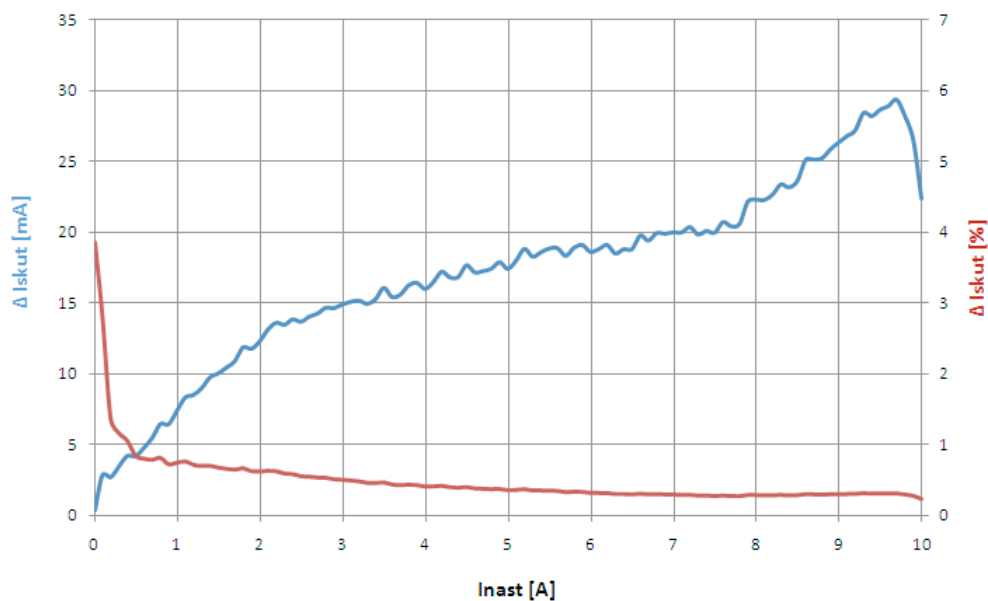
5.1.1. Tolerance nastaveného vstupního proudu

Měření je provedeno ve statickém režimu nastavením výchozí hodnoty proudu. Na vstupní svorky zátěže je připojeno napětí $U_{IN} = 1,5 \text{ V}$. Dynamické vylepšení je vypnuto.



Obr. 35 Velikost absolutní a procentuelní chyby nastaveného proudu zátěže na rozsahu 1 A

Měření vstupního proudu zátěže na 1 A rozsahu je uvedeno na **Obr. 35**. Měření bylo provedeno po automatické kalibraci (ta probíhá na proudu 1 mA). Maximální procentuelní chyba je 5 %. Na většině rozsahu je však pod 0,5 %. Maximální absolutní chyba je 5 mA.

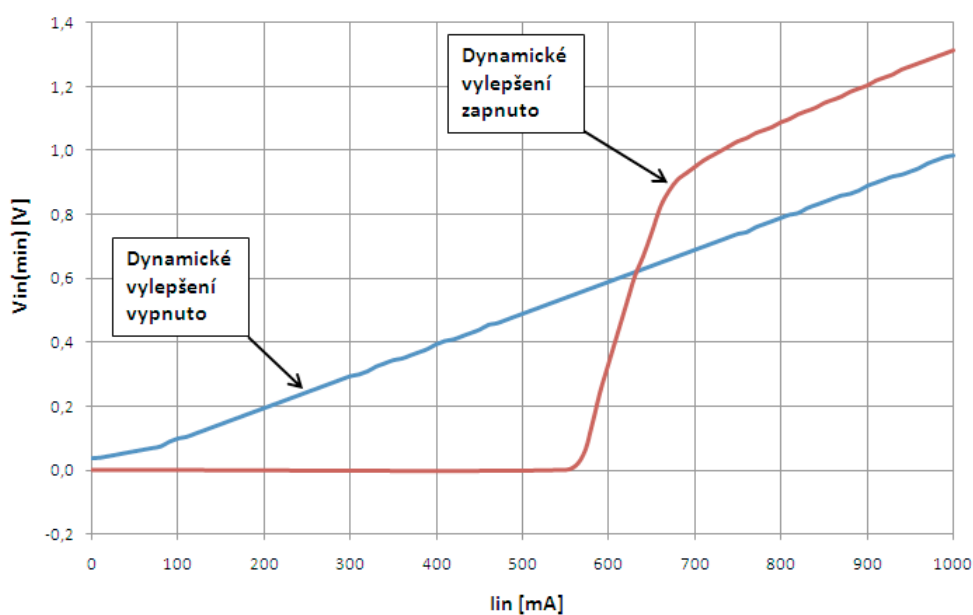


Obr. 36 Velikost absolutní a procentuelní chyby nastaveného proudu zátěže na rozsahu 10 A

Měření proudu na 10 A rozsahu je uvedeno na **Obr. 36**. Opět bylo provedeno po automatické kalibraci (ta probíhá na proudu 10 mA). Maximální procentuelní chyba je 4 %. Na většině rozsahu je však pod 0,8 %. Maximální absolutní chyba je 30 mA.

5.1.2. Minimální vstupní napětí v závislosti na požadovaném proudu

Měření je provedeno tak, že se nastaví požadovaný proud a snižuje se vstupní napětí zátěže až do doby, kdy klesne proud na 95 % žádané hodnoty. Tato hodnota napětí je pak vynesena v grafu na obrázku **Obr. 37**.

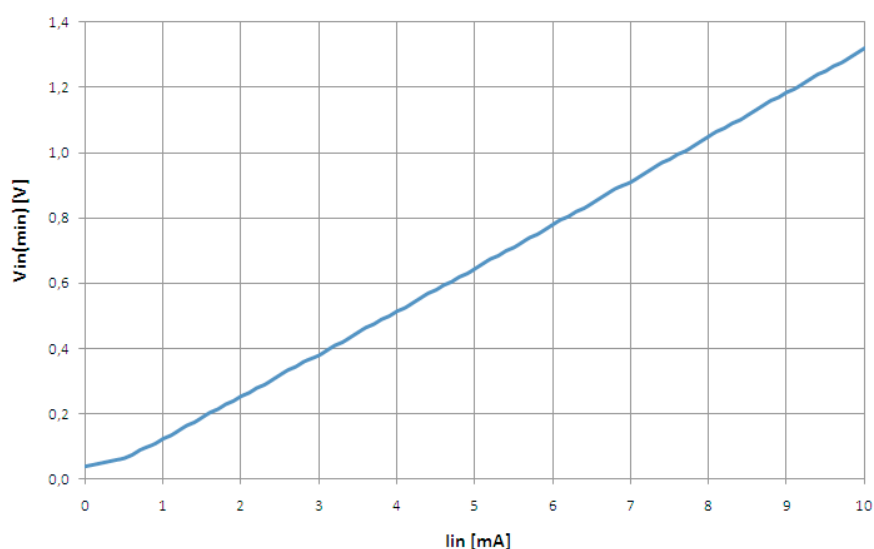


Obr. 37 Minimální vstupní napětí v závislosti na požadovaném proudu pro rozsah 1 A

Z **Obr. 37** vyplývá závislost minimálního napětí na vstupu zátěže na požadovaném proudu na 1 A rozsahu. Pokud je dynamické vylepšení vypnuto, minimální vstupní napětí zátěže přibližně odpovídá součinu žádaného proudu a snímacího odporu $1\ \Omega$ (modrý průběh).

Pokud je dynamické vylepšení zapnuto, odpovídá minimální napětí na svorkách zátěže červenému průběhu. To je dáno principem funkce dynamického vylepšení, který byl popsán v kapitole 4.2.2. Zatěžovaný zdroj je podložen vnitřním napětím U_{DYN} . To je tvořeno napětím $+5\text{ V}$, avšak přivedeném přes srážecí odpor $R_3 = 8\ \Omega$ (viz. **Obr. 12**). Podle výpočtu (5.1) jeho napětí klesne na nulu právě při proudu $I_{KRIT} = 0,625\text{ A}$. V té chvíli už je pomocné napětí nulové a při dalším zvyšování proudu klesá do záporných hodnot omezených otevřenou diodou D1 (viz. **Obr. 12**).

$$I_{KRIT} = \frac{U_{+5V}}{R_3} = \frac{5}{8} = \underline{\underline{0,625\text{ A}}} \quad (5.1)$$



Obr. 38 Minimální vstupní napětí v závislosti na požadovaném proudu pro rozsah 10 A

Na **Obr. 38** je zobrazena závislost minimálního vstupního napětí zátěže na požadovaném proudu na rozsahu 10 A. Sklon této křivky odpovídá přibližně odporu $0,13\ \Omega$. Z větší části je tvořen snímacím odporem $0,1\ \Omega$. Zbylý odpor $0,03\ \Omega$ tvoří MOSFET tranzistory T1 a T4 (viz **Obr. 12**) a také cesty na plošném spoji a propojky.

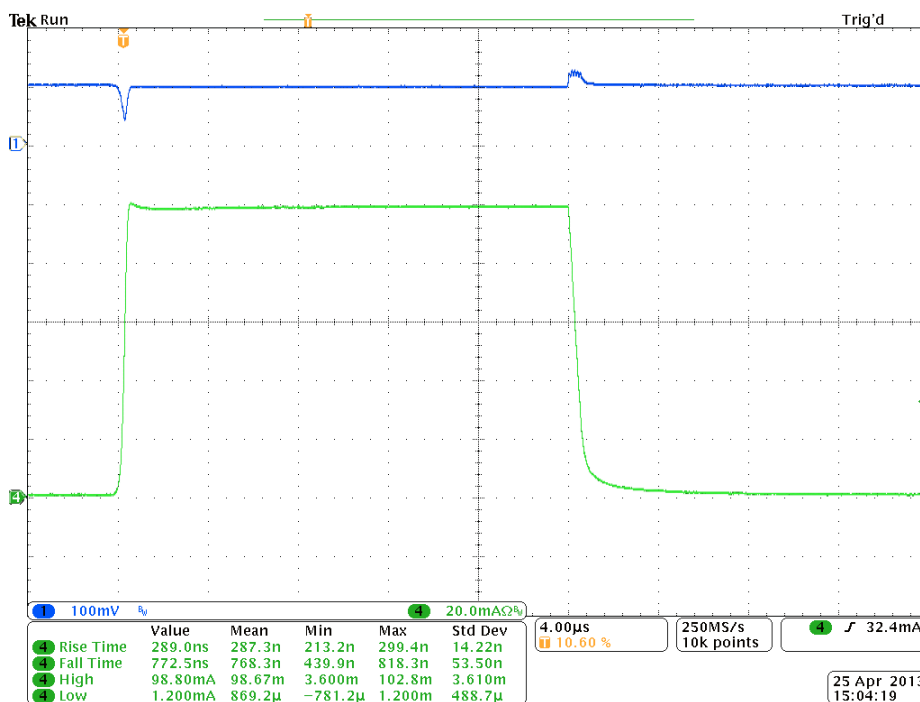
5.2. Dynamické parametry

5.2.1. Zatěžování stolního zdroje napětí pulzním proudem

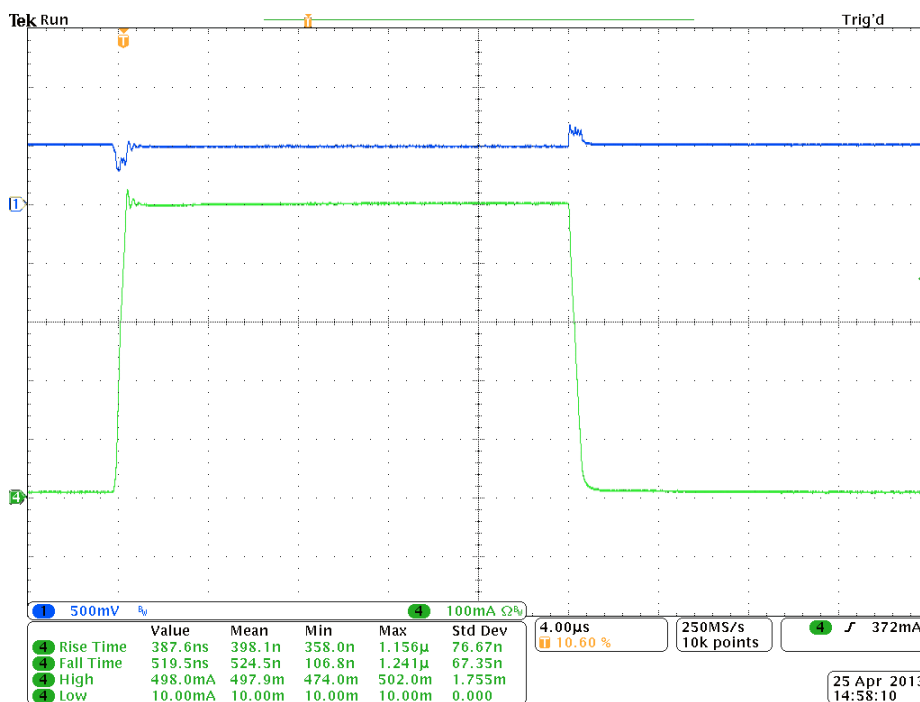
Jako zatěžovaný zdroj zde slouží laboratorní zdroj napětí. Na jeho výstup je přidána filtrační kapacita $4700\ \mu\text{F}$. Odebíraný proud má lichoběžníkový tvar. Na průbězích je vždy CH1 (modrý) vstupní napětí na svorkách zátěže a CH4 (zelený) vstupní proud. Na osciloskopu je zapnuto měření délky nástupné („Rise Time“) a sestupné („Fall Time“) hrany. Taktéž je měřena výchozí („Low“) a horní („High“) úroveň proudu. Tyto hodnoty je však třeba brát s rezervou obzvláště při velké hodnotě proudu na jeden dílek.

Po přepnutí rozsahu 1 A nebo 10 A je vždy spuštěna automatická kalibrace.

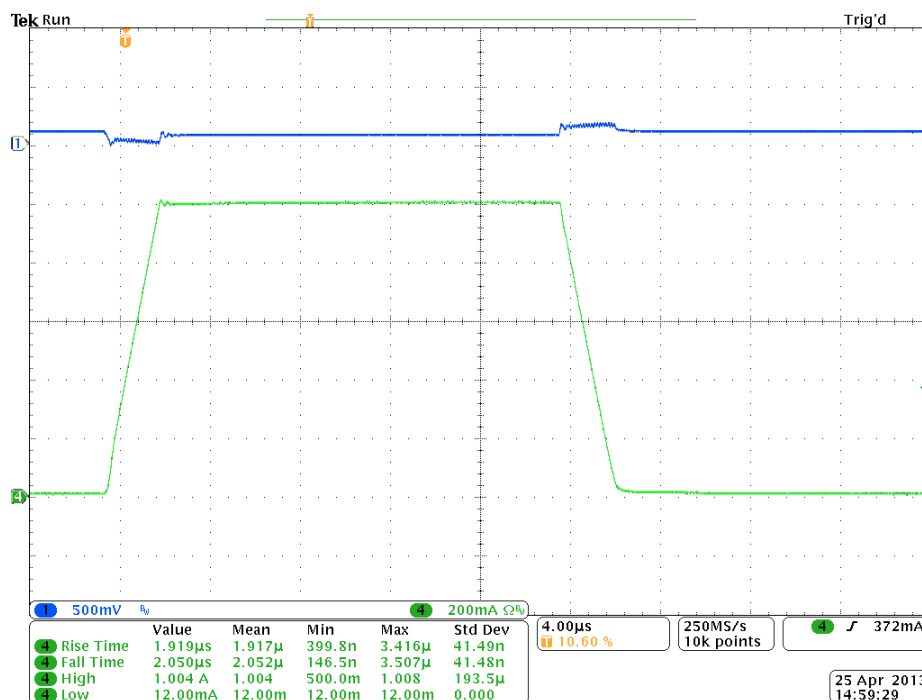
U každého grafu je uvedeno použité nastavení a podmínky měření, tedy vstupní napětí na zátěži, výchozí úroveň proudu, horní úroveň proudu, délka hrany, rozsah a zda je zapnuta funkce dynamického vylepšení.



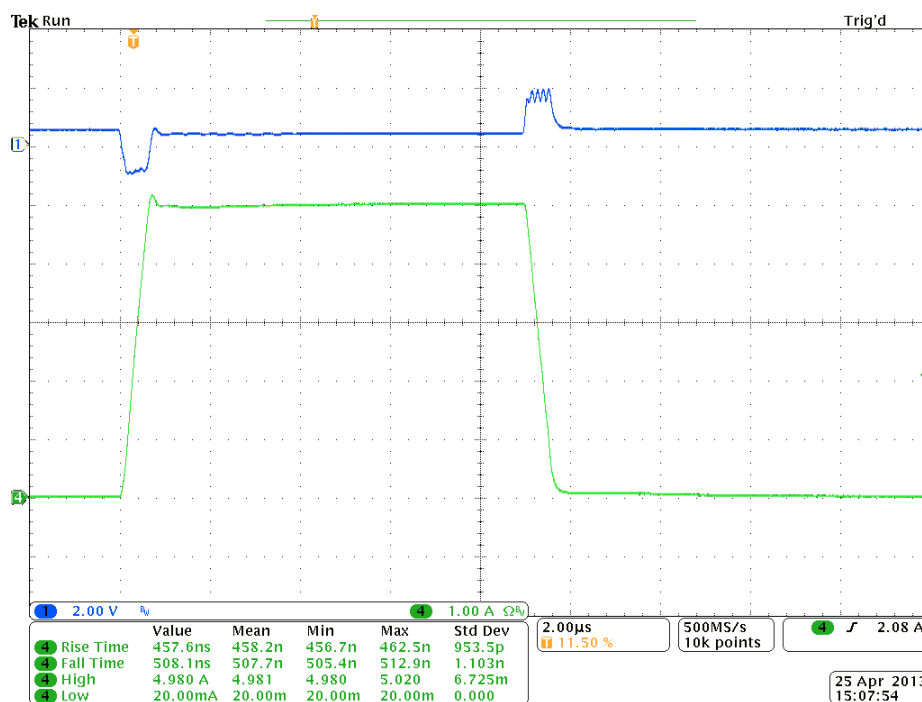
Obr. 39 Pulz vstupního proudu z 1 mA na 100 mA za 0,5 µs
při $V_{IN} = 0,1V$, rozsah 1 A, dynamické vylepšení zapnuto



Obr. 40 Pulz vstupního proudu z 10 mA na 500 mA za 0,5 µs
při $V_{IN} = 0,5V$, rozsah 1 A, dynamické vylepšení zapnuto



Obr. 41 Pulz vstupního proudu z 10 mA na 1 A za 2 μs
při $V_{IN} = 0,1V$, rozsah 1 A, dynamické vylepšení zapnuto



Obr. 42 Pulz vstupního proudu z 10 mA na 5 A za 0,5 μs
při $V_{IN} = 0,5V$, rozsah 10 A, dynamické vylepšení zapnuto

Obr. 39 až **Obr. 42** potvrzují, že díky funkci dynamického vylepšení lze dynamicky zatěžovat i zdroje s velmi malým napětím. Na **Obr. 42** je vidět, že napětí na vstupu zátěže klesá do záporných hodnot během nástupné hrany vstupního proudu. To je způsobeno parazitní indukčností přívodů od zatěžovaného zdroje ke vstupním svorkám zátěže. Indukčnost přívodů L lze zjistit výpočtem (5.2).

$$U_L = L \cdot \frac{d_i}{d_t}$$

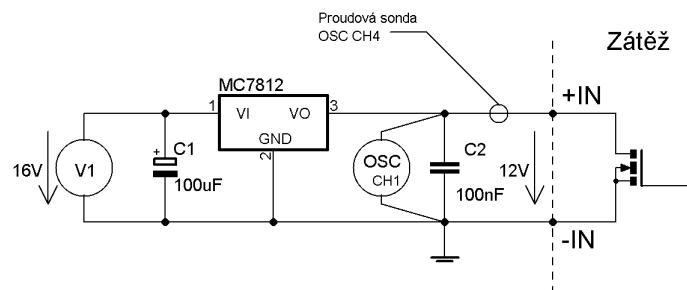
$$L = \frac{U_L \cdot d_t}{d_i} = \frac{U_L \cdot \Delta t}{\Delta i} = \frac{1,4 \cdot 0,5 \cdot 10^{-6}}{5 - 0,01} = \underline{\underline{0,14 \mu\text{H}}} \quad (5.2)$$

Hodnota parazitní indukčnosti $0,14 \mu\text{H}$ je zdánlivě zanedbatelná, avšak jak je patrné, při nárůstu proudu rychlostí $5 \text{ A} / \mu\text{s}$ způsobí úbytek $1,4 \text{ V}$. Zátěž by se tedy bez funkce dynamického vylepšení neobešla.

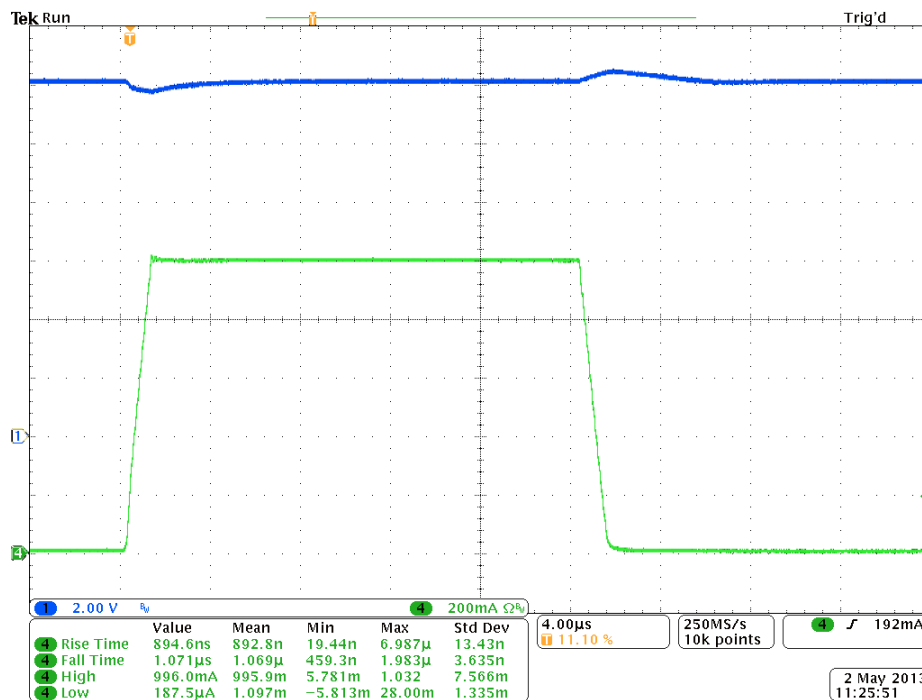
Na **Obr. 42** bylo dosaženo rychlosti přeběhu vstupního proudu $10 \text{ A} / \mu\text{s}$.

5.2.1. Měření „load transient“ kladného stabilizátoru MC7812

V této kapitole je provedeno měření transientní odezvy výstupního napětí stabilizátoru na dynamickou změnu výstupního proudu. Měření je provedeno se stabilizátorem kladného napětí MC7812, v následující kapitole pak se stabilizátorem záporného napětí MC7912.

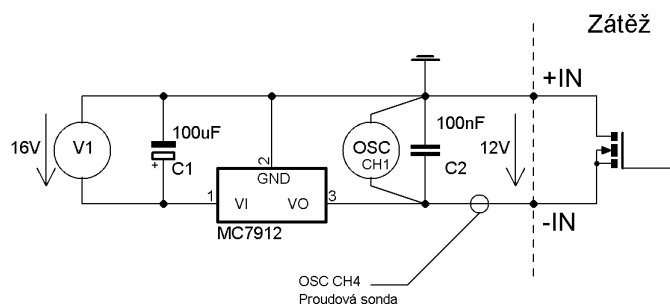


Obr. 43 Schéma zapojení pro měření „load transient“ stabilizátoru MC7812

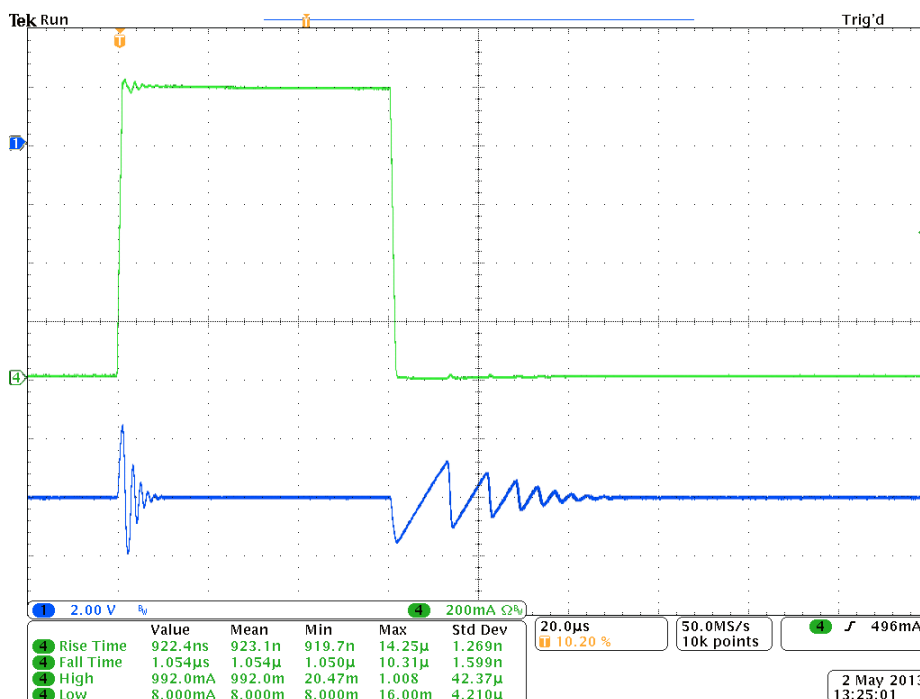


Obr. 44 Odezva stab. MC7812 na „load transient“ z 10 mA na 1 A za $1 \mu\text{s}$

5.2.2. Měření „load transient“ záporného stabilizátoru MC7912



Obr. 45 Schéma zapojení pro měření „load transient“ stabilizátoru MC7912

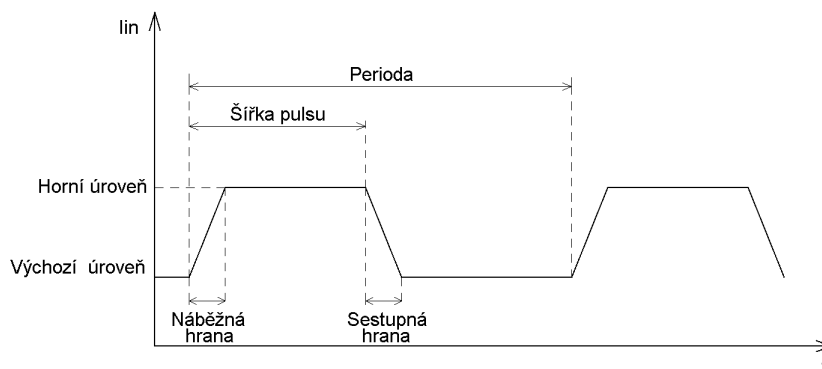


Obr. 46 Odezva stab. MC7912 na „load transient“ z 10 mA na 1 A za 1 µs

Při zatěžování stabilizátoru záporného napětí je uzemněna kladná vstupní svorka zátěže. Díky tomu, že je zátěž napájena z galvanicky odděleného adaptéru, to však nevadí.

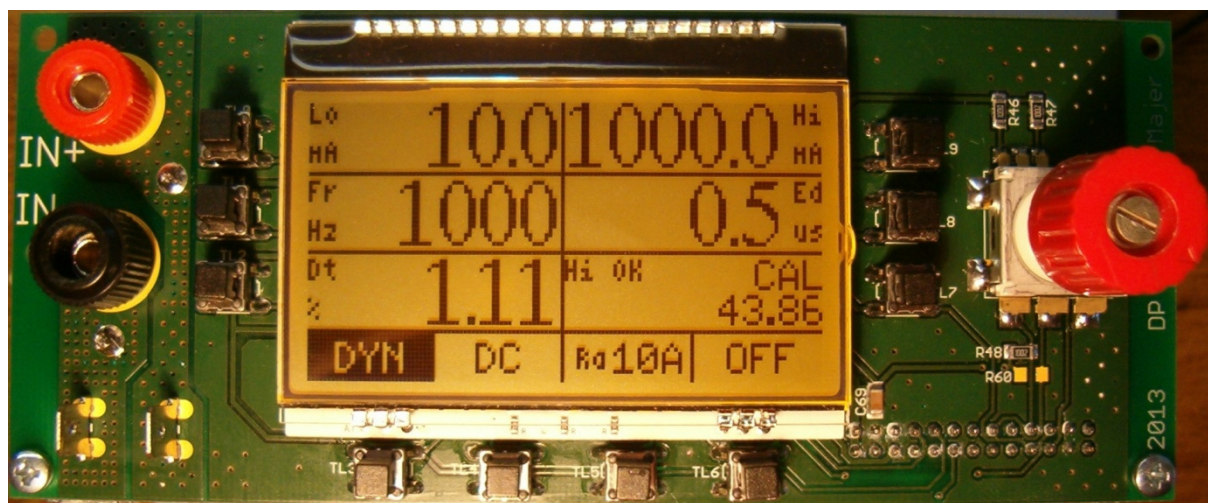
6. Návod na obsluhu zátěže a dosažené parametry

Rychlá elektronická zátěž je určena k měření transientní odezvy zdrojů na dynamickou změnu výstupního proudu. Jejím úkolem je odebírat proud lichoběžníkového průběhu dle **Obr. 47**. Lze ji však přepnout i do režimu konstantního vstupního proudu.



Obr. 47 Průběh proudu odebíraného zátěží a možnosti nastavení

Rozsah nastavení jednotlivých parametrů je zřejmý z **Tab. 10**.



Obr. 48 Přední panel zátěže

Vstup zátěže je vyveden na přední panel formou zdířek a konektorů „faston“ (viz **Obr. 48**). Uprostřed panelu je grafický displej, který zobrazuje všechny nastavované parametry a funkce. Okolo displeje je deset tlačítek pro ovládání funkcí zátěže a volbu nastavovaného parametru průběhu vstupního proudu zátěže. Číselná změna jednotlivých parametrů se provádí otočným enkodérem, který je umístěn v pravé části předního panelu. Enkodér je vybaven tlačítkem, kterým se mění velikost kroku.

Tlačítko	Zkratka	Celý název	Min	Max	Velikost kroku	Popis funkce
TL0	Lo	Low	0,066 mA	10,1 A	0,066 mA; 1 mA; 10mA	Výchozí úroveň I_{IN}
TL1	Fr	Frequency	1 Hz	10 kHz	1 Hz; 10 Hz; 1 kHz	Frekvence I_{IN}
TL2	Dt	Duty	0,01 %	100 %	0,01 %; 0,1 %; 1 %	Šířka pulzu I_{IN}
TL3	DYN	Dynamic enhancement	-	-	ON / OFF	Dynamické vylepšení
TL4	DC	DC	-	-	ON / OFF	Konstantní / lichoběžníkový průběh I_{IN}
TL5	Ra_A	Range	-	-	1 A / 10 A	Rozsah I_{IN} 1 A nebo 10 A
TL6	OFF	OFF	-	-	ON / OFF	Vypnutí / zapnutí zátěže
TL7	CAL	Calibration	≈ 12	≈ 52	-	Spustí kalibraci vstupního proudu
TL8	Ed	Edge	0,2 μ s	$\approx 100 \mu$ s	0,1 μ s; 1 μ s; 10 μ s	Nástupná a sestupná hrana I_{IN}
TL9	Hi	High	0,066 mA	10,1 A	0,066 mA; 1 mA; 10mA	Horní úroveň I_{IN}

Tab. 10 *Popis jednotlivých parametrů a funkcí zátěže***KALIBRACE**

Zátěž je vybavena automatickou kalibrací vstupního proudu. Provádí se stiskem tlačítka TL7 („CAL“). Pro její úspěšné provedení je nutné, aby nebyla zátěž vypnutá a na vstupních svorkách bylo napětí alespoň 0,2 V nebo byla aktivována funkce dynamického vylepšení a vstupní svorky byly zkratovány. Kalibrace probíhá na proudu 1 mA (pro rozsah 1 A) a 10 mA pro rozsah 10 A. Po provedení kalibrace se na displeji zobrazí kalibrační číslo. Toto číslo by se mělo pohybovat v rozmezí 12 až 52. V případě potřeby je možné dlouhým stiskem tlačítka TL7 ručně upravit toto číslo.

DYNAMICKÉ VYLEPŠENÍ

Zátěž je vybavena funkcí dynamického vylepšení. To spočívá v podložení napětí zatěžovaného zdroje interním napětím přibližně 5 V. Proud interního zdroje je omezen, proto je vhodné tuto funkci zapínat pouze, pokud je **střední** hodnota vstupního proudu nižší, než cca 0,6 A. Proudové špičky jsou však pokryty nábojem kondenzátoru.

VYPNUTÍ ZÁTĚŽE

Vypnutí zátěže se provádí tlačítkem TL6 („OFF“). Vypnutí spočívá v záporném pólování vstupní elektrody výkonového MOSFET tranzistoru.

PROVOZ V KONSTANTNÍM REŽIMU

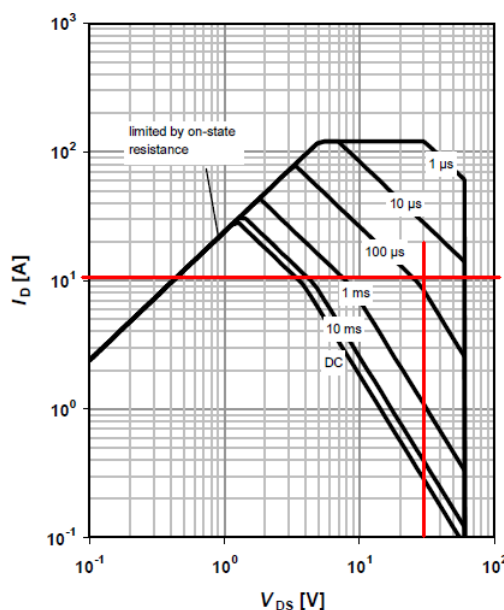
Zátěž lze tlačítkem TL4 („DC“) přepnout z režimu lichoběžníkového průběhu vstupního proudu do konstantního. Proud pak udává výchozí úroveň.

NASTAVOVÁNÍ PARAMETRŮ

Nastavování číselných hodnot parametrů vstupního proudu probíhá pomocí otočného enkodéru. Nastavovaný parametr se vybírá příslušnými tlačítky. Není dovoleno, aby výchozí úroveň > horní úroveň. Při „DC“ provozu to platí také, takže horní úroveň je nejvhodnější nastavit na maximum, ikdyž zde není použita. Vlivem použitého algoritmu generování lichoběžníkového průběhu se při malých proudových skocích a dlouhých časech nástupné a sestupné hrany může stát, že horní úroveň proudu se liší od zadané. Při překročení odchylky 5 % je toto indikováno na displeji.

OMEZENÍ VSTUPNÍCH VELIČIN ZÁTĚŽE

V zátěži není implementována žádná ochrana proti přetížení výkonového MOSFET tranzistoru. Jelikož při jeho výběru bylo dbáno především na dobré dynamické vlastnosti, jeho robustnost je omezená. Vždy je třeba dodržovat bezpečnou pracovní oblast podle **Obr. 49** [12], kde V_{DS} odpovídá přibližně vstupnímu napětí zátěže a I_D jejímu maximálnímu povolenému proudu.



Obr. 49 Bezpečná pracovní oblast použitého MOSFET tranzistoru ($T_C = 25^\circ\text{C}$) [12]

Maximální vstupní napětí je navíc omezeno na 30 V, a to kvůli případné nestabilitě zátěže, která by při vyšším vstupním napětí mohla nastat. Maximální nastavitelný proud zátěže je 10,1 A. Obě tato omezení jsou v **Obr. 49** vyznačena červenou čarou.

NAPÁJENÍ ZÁTĚŽE

Napájení pro zátěž poskytuje přiložený síťový adaptér. Jeho výstupní napětí je 12 V a je galvanicky odděleno od střídavé sítě. Celé zařízení je tedy bezpečné na dotek a díky galvanickému oddělení může být přizemněna jak záporná, tak i kladná vstupní svorka zátěže.

7. Závěr

Zkonstruovaná zátěž má sloužit k měření transientní odezvy zdrojů, především lineárních stabilizátorů. Její přínos spočívá v zjednodušení, zrychlení a opakovatelnosti měření „load transient“ lineárních stabilizátorů. Doposud byly k účelu dynamického zatěžování těchto stabilizátorů používány odpory spínané tranzistorem. Bylo tedy nutné jejich hodnotu ručně počítat a měnit podle velikosti zatěžovaného napětí. Při použití této zátěže všechny tyto nevýhody odpadají.

Přínosná a zároveň neobvyklá je funkce dynamického vylepšení. Díky ní lze zatěžovat zdroje velmi malého napětí a to i rychlými proudovými skoky. Díky ní také není nutné udržovat minimální délku přívodů od zatěžovaného zdroje ke vstupním svorkám zátěže.

Konečnému řešení předcházelo zdlouhavé testování jiných metod. Byl testován generátor lichoběžníkového průběhu realizovaný analogově i diskrétními číslicovými obvody. Dosažené výsledky však nebyly uspokojivé. Jako schůdná se nakonec ukázala realizace komplexního logického obvodu pomocí hradlového pole. Při návrhu tohoto obvodu bylo hojně využíváno simulací pomocí programu Xilinx ISE. Vznikl i návod na práci s tímto programem, který není součástí tohoto textu, ale lze jej najít v externím odkazu [15].

Dosažené parametry splnily požadavky zadání. Jsou shrnuty v předchozí kapitole 6. Při konstrukci bylo využito nejmodernějších analogových i číslicových obvodů. Pro rychlé řízení výstupního MOSFET tranzistoru je použit proudový konvektor OPA861. Komplexní logický obvod je realizován hradlovým polem XC95144XL. Jako zobrazovací zařízení je použit grafický displej s rozlišením 128 x 64 bodů. O jeho obsluhu a zároveň zpracování informací z ovládacích prvků se stará 32 - bitový mikrokontrolér STM32F372.

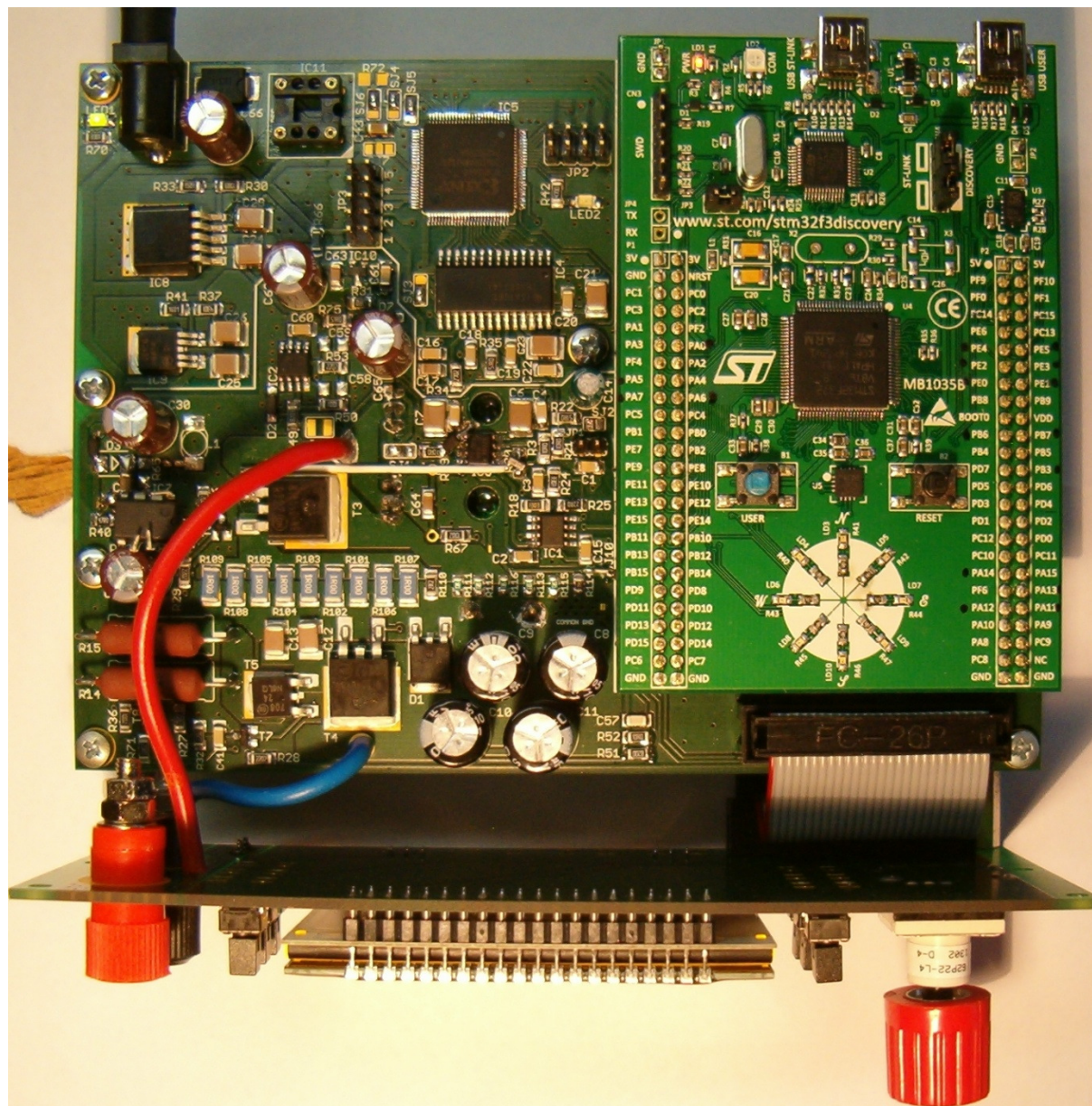
Další vývoj této zátěže by určitě byl směřován k programovému vybavení. Hardwarově jsou nachystána měření vstupního proudu i napětí. Dále je přichystáno měření teploty výkonového MOSFET tranzistoru. Při zpracování těchto údajů by bylo možné dopočítat ztrátový výkon na zátěži a podle teploty výkonového tranzistoru také přesně dodržovat jeho bezpečnou pracovní oblast (SOA). Zátěž by také bylo vhodné opatřit předním panelem, případně ji celou umístit do přístrojové krabice.

8. Použitá literatura

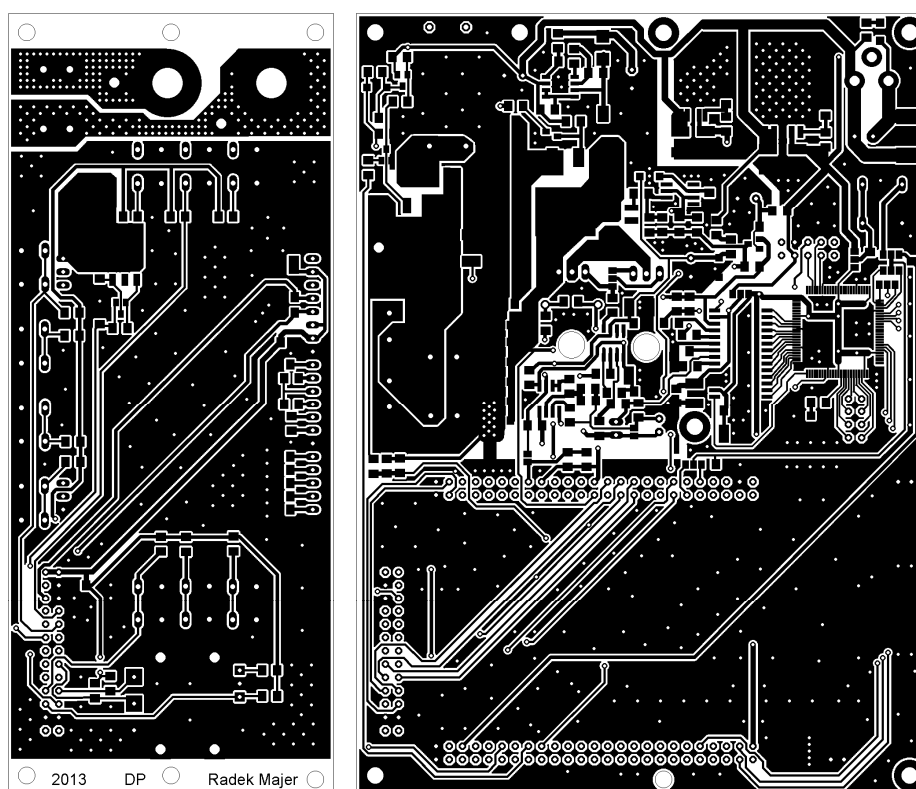
- [1] Wikipedia – Xilinx ISE, dostupné z <http://en.wikipedia.org/wiki/Xilinx_ISE> [cit. 2013-03-11]
- [2] Xilinx ISE - 14.1 Tutorials, dostupné z <http://www.xilinx.com/support/documentation/sw_manuals/xilinx14_1/ise_tutorial_ug695.pdf> [2012-04-24]
- [3] BABACK Izadi, Xilinx ISE 14. 1. Simulation Tutorial, New Paltz, State University of New York <<http://www.engr.newpaltz.edu/~bai/EGC208/ISE%20Simulator%2014.1.pdf>> [2012]
- [4] Katalogový list NCP4680, ON Semiconductor, dostupný z <http://www.onsemi.com/pub_link/Collateral/NCP4680-D.PDF> [2013-04-24]
- [5] Katalogový list TPS74401, Texas Instruments, dostupný z <<http://www.ti.com/lit/ds/symlink/tps74401.pdf>> [2013-04-24]
- [6] Katalogový list THS5671, Texas Instruments, dostupný z <<http://www.ti.com/lit/ds/symlink/ths5671a.pdf>> [2013-04-24]
- [7] Katalogový list OPA861, Texas Instruments, dostupný z <<http://www.ti.com/lit/ds/symlink/opa861.pdf>> [2013-02-24]
- [8] Katalogový list CAT661, ON Semiconductor, dostupný z <http://www.onsemi.com/pub_link/Collateral/CAT661-D.PDF> [2013-02-24]
- [9] Katalogový list NCP5661, ON Semiconductor, dostupný z <http://www.onsemi.com/pub_link/Collateral/NCP5661.PDF> [2013-04-24]
- [10] Katalogový list NCP5663, ON Semiconductor, dostupný z <http://www.onsemi.com/pub_link/Collateral/NCP5663.PDF> [2013-04-24]
- [11] Katalogový list STM32F372, ST Microelectronics, dostupný z <<http://www.st.com/st-web-ui/static/active/en/resource/technical/document/datasheet/DM00046749.pdf>> [2013-02-24]
- [12] Katalogový list IPP230N06L, Infineon, dostupný z <http://www.infineon.com/dgdl/IPP_B230N06L3_Rev2.2_.pdf?folderId=db3a304313b8b5a60113cee8763b02d7&fileId=db3a30432313ff5e0123a3627b2325fa> [2012-12-20]
- [13] Katalogový list STM32F3 Discovery kit, ST Microelectronics, dostupný z <http://www.st.com/st-web-ui/static/active/en/resource/technical/document/data_brief/DM00063389.pdf> [2012-12-20]
- [14] Katalogový list Optical Encoder Grayhill 62P series, Grayhill, dostupný z <http://lgrws01.grayhill.com/web1/images/ProductImages/Opt_Encoder_62P.pdf> [2012-12-20]

- [15] Návod na práci v programu Xilinx ISE
 <https://docs.google.com/file/d/0Byibj_4Bn4mGSDV4dnZDbFVTdW8/edit?usp=sharing>
 [2013-05-01]
- [16] Program Atollic TrueSTUDIO for ARM Lite v4.0.1
 <<http://www.atollic.com/index.php/download/truestudio-for-arm>> [2013-04-01]
- [17] Katalogový list displeje Electronic Assembly DOGL 128W – 6 a podsvitu EA LED68X51-A
 <<http://www.lcd-module.com/eng/pdf/grafik/dogl128-6e.pdf>> [2012-02]
- [18] PUNČOCHÁŘ J., *Operační zesilovače v elektronice*. BEN, Praha 2002. 485 stran
- [19] BRANDŠTETTER P., *Elektronika pro kombinované a distanční studium*, VŠB TU Ostrava, skripta 2005.
- [20] Návod na práci s discovery kitem STM32F3 <<http://www.mcu.cz> > [2012-11-12]
- [21] Program Xilinx ISE Design Suite 13.1
 <http://www.xilinx.com/support/download/index.html/content/xilinx/en/downloadNav/design-tools/v13_1.html> [2012-01]

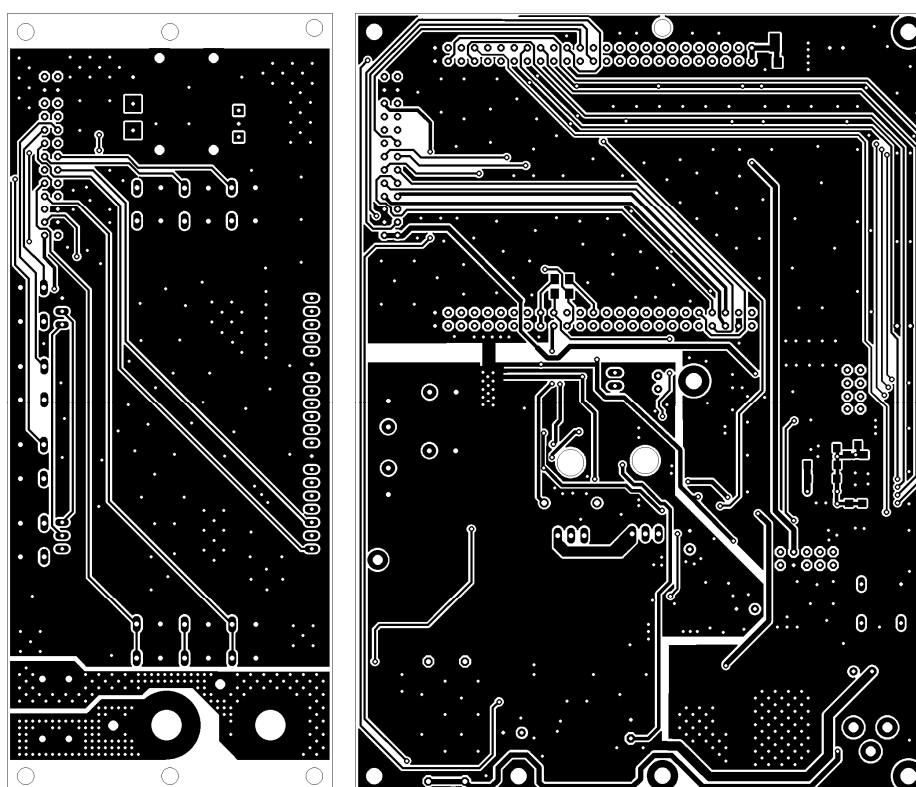
9. Příloha



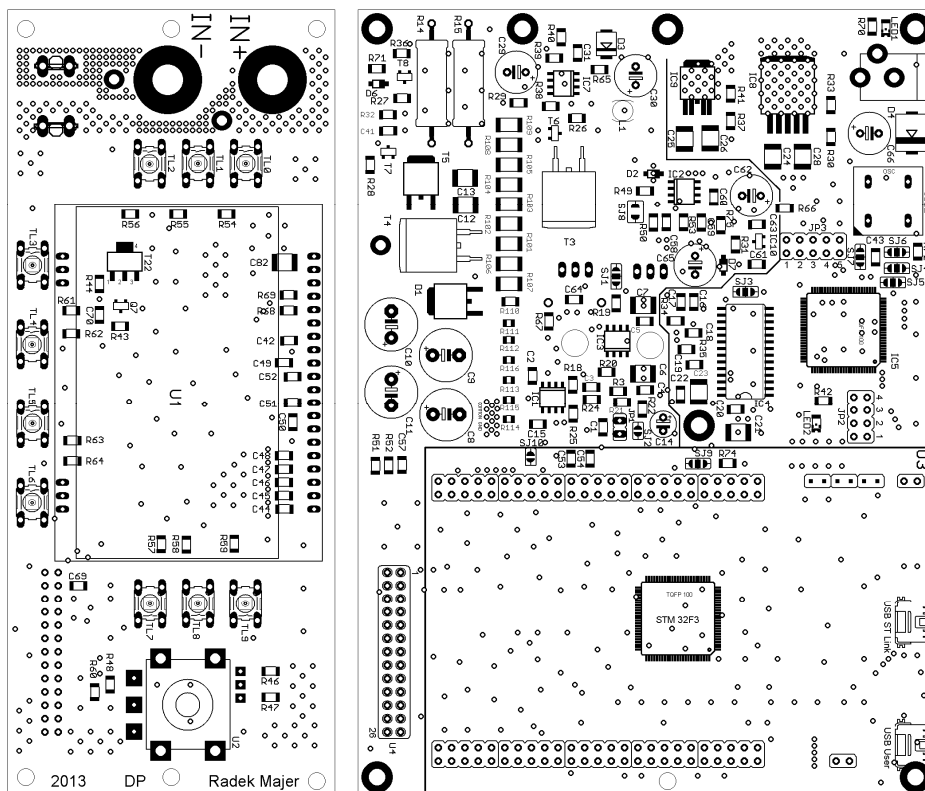
Obr. 50 Celkový pohled na modul zátěže



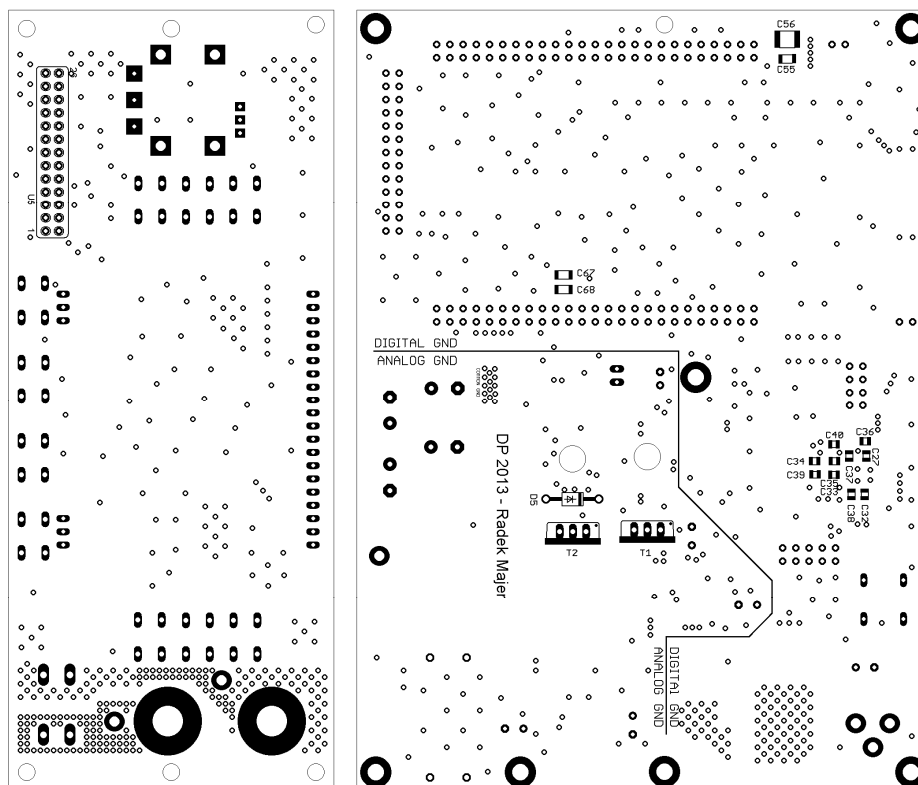
Obr. 51 Předloha horní vrstvy plošného spoje (TOP)



Obr. 52 Předloha spodní vrstvy plošného spoje (BOTTOM)



Obr. 53 Rozmístění součástek horní vrstvy (TOP)



Obr. 54 Rozmístění součástek spodní vrstvy (BOTTOM)

Je nutné poznamenat, že po návrhu plošného spoje došlo k malým úpravám schématu. Některé součástky jsou tedy naletovány na plošný spoj dodatečně.